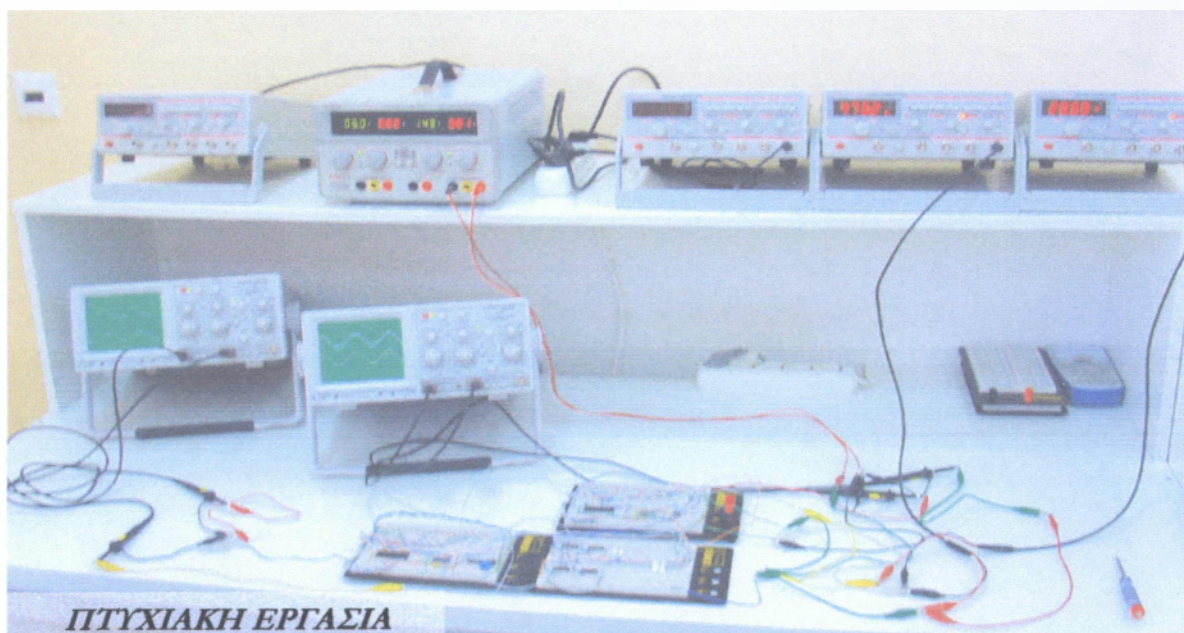




**ΑΝΩΤΑΤΟ ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ
ΙΔΡΥΜΑ ΚΑΛΑΜΑΤΑΣ
= ΠΑΡΑΡΤΗΜΑ ΣΠΑΡΤΗΣ =
ΤΜΗΜΑ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ
ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ**

*Μαρία Σεβοπούλου
(ΑΕΜ 2005038)*

Κατασκευή Διαμορφωτή / Αποδιαμορφωτή Δέλτα για Εκπαιδευτική Χρήση



Επιβλέπων: Γιάννης Λιαπέρδος, Καθηγητής Εφαρμογών

ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ

ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ	3
ΠΡΟΛΟΓΟΣ	4
1. ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ.....	8
1.1 Εισαγωγή.....	10
1.1.1 Ιστορική αναδρομή	10
1.1.2 Αναλογικός τρόπος μετάδοσης σήματος.....	11
1.1.3 Ψηφιακός τρόπος μετάδοσης σήματος.....	13
1.1.4 Σύγκριση αναλογικού – ψηφιακού τρόπου μετάδοσης.....	14
1.2 Τεχνικές Μετατροπής Αναλογικού Σήματος σε Ψηφιακό και Αντίστροφα.....	15
1.2.1 Παλμοκωδική Διαμόρφωση (PCM).....	15
1.2.2 Διαμόρφωση Δέλτα.....	17
1.2.3. Προβλήματα της Διαμόρφωσης Δέλτα.....	18
1.2.4 Σύγκριση τις Διαμόρφωσης Δέλτα με άλλες τεχνικές μετατροπής αναλογικού σε ψηφιακό.....	18
2. ΠΡΑΚΤΙΚΟ ΜΕΡΟΣ	20
2.1 Μεθοδολογία Σχεδίασης.....	22
2.2 Προδιαγραφές.....	23
2.2.1 Διάγραμμα Βαθμίδων Διαμορφωτή.....	23
2.2.2 Προδιαγραφές Διαμορφωτή	24
2.2.3 Διάγραμμα Βαθμίδων Αποδιαμορφωτή.....	26
2.2.4 Προδιαγραφές Αποδιαμορφωτή	26
2.3 Σχεδίαση.....	28
2.3.1 Μεθοδολογία Σχεδίασης	28
2.3.2 Τοπολογία Διαμορφωτή σε Επίπεδο Ηλεκτρονικών Εξαρτημάτων.....	28
2.3.3 Τοπολογία Αποδιαμορφωτή σε Επίπεδο Ηλεκτρονικών Εξαρτημάτων.....	30
2.4 Προσομοίωση.....	36
3. ΣΥΜΠΕΡΑΣΜΑΤΑ	40
4. ΠΑΡΑΡΤΗΜΑΤΑ	42
4.1 Πίνακας Εξαρτημάτων.....	43
4.1.1 Πίνακας Εξαρτημάτων Διαμορφωτή	43
4.1.2 Πίνακας Εξαρτημάτων Αποδιαμορφωτή	43
4.2 Τεχνικά Χαρακτηριστικά Κυκλωμάτων	44
4.2.1 Τεχνικά Χαρακτηριστικά Διαμορφωτή.....	44
4.2.2 Τεχνικά Χαρακτηριστικά Αποδιαμορφωτή.....	44
4.4 Φύλλα Δεδομένων (Datasheets).....	45
ΠΗΓΕΣ	95
ΒΙΒΛΙΟΓΡΑΦΙΑ.....	95
ΕΥΡΕΤΗΡΙΟ.....	96
ΠΙΝΑΚΑΣ ΣΧΗΜΑΤΩΝ – ΕΙΚΟΝΩΝ	98

ΠΡΟΛΟΓΟΣ

Σκοπός της παρούσας εργασίας υπήρξε η σχεδίαση και η κατασκευή κυκλωμάτων Διαμορφωτή και Αποδιαμορφωτή Δέλτα τα οποία να μπορούν να χρησιμοποιηθούν για την πρακτική άσκηση των σπουδαστών του Τμήματός μας στα πλαίσια του εργαστηριακού μέρους σχετικών μαθημάτων της κατεύθυνσης των Τηλεπικοινωνιών.

Αν λάβει κανείς υπόψη του το γεγονός πως η εργαστηριακή μελέτη της Διαμόρφωσης Δέλτα γίνεται συνήθως μέσω έτοιμων λύσεων, το βασικό μειονέκτημα των οποίων είναι η μεγαλύτερη εστίαση στα λειτουργικά χαρακτηριστικά της τεχνικής και όχι στον τρόπο υλοποίησης, η εργασία μας θα μπορούσε να συμβάλει στην αναπλήρωση του κενού αυτού παρέχοντας στον κάτοχο βασικών γνώσεων ηλεκτρονικής μια εύκολα κατανοητή τοπολογία.

Το κείμενο αποτελείται από δύο βασικά μέρη: Το Θεωρητικό και το Πρακτικό. Το πρώτο κρίθηκε απαραίτητο –χωρίς να επεκταθεί σε βάρος του δεύτερου- προκειμένου να δώσει στον μη εξοικειωμένο αναγνώστη τις κύριες θεωρητικές γνώσεις ώστε να γίνει κατανοητή η αρχή στην οποία βασίζεται η Διαμόρφωση Δέλτα και να αναδείξει τις διαφορές της έναντι άλλων συγγενών τεχνικών.

Στο Πρακτικό μέρος παρουσιάζονται εκτενώς οι προδιαγραφές των κυκλωμάτων και οι ανάγκες οι οποίες τις επέβαλαν, καθώς και η μεθοδολογία σχεδίασης και κατασκευής, τα προβλήματα που ανέκυψαν και οι τρόποι αντιμετώπισής τους.

Των δύο βασικών μερών προτάχθηκε μια σύντομη Εισαγωγή, κύριος σκοπός της οποίας είναι η αντιδιαστολή της αναλογικής προς την ψηφιακή μετάδοση και η παροχή στον αναγνώστη των απαραίτητων εφοδίων για την ευκολότερη κατανόηση της (ψηφιακής) Διαμόρφωσης Δέλτα. Κρίθηκε επίσης σκόπιμο να συμπεριληφθεί και μια σύντομη ιστορική αναδρομή.

Θα θέλαμε και από τη θέση αυτή να ευχαριστήσουμε τον επιβλέποντα καθηγητή μας κ. Γιάννη Λιαπέρδο για την καθοδήγησή του και την πολύτιμη βοήθειά του κατά τη διάρκεια εμπόνησης της εργασίας μας, καθώς και για τη διάθεση των υποδομών του Εργαστηρίου Ηλεκτρονικής χωρίς τα οποία θα ήταν αδύνατη η πραγματοποίησή της. Επίσης, ευχαριστούμε τις οικογένειές μας για την πολύπλευρη συμπαράστασή τους όχι μόνο κατά τη διάρκεια της εμπόνησης της εργασίας μας, αλλά για ολόκληρο το διάστημα της φοίτησής μας.

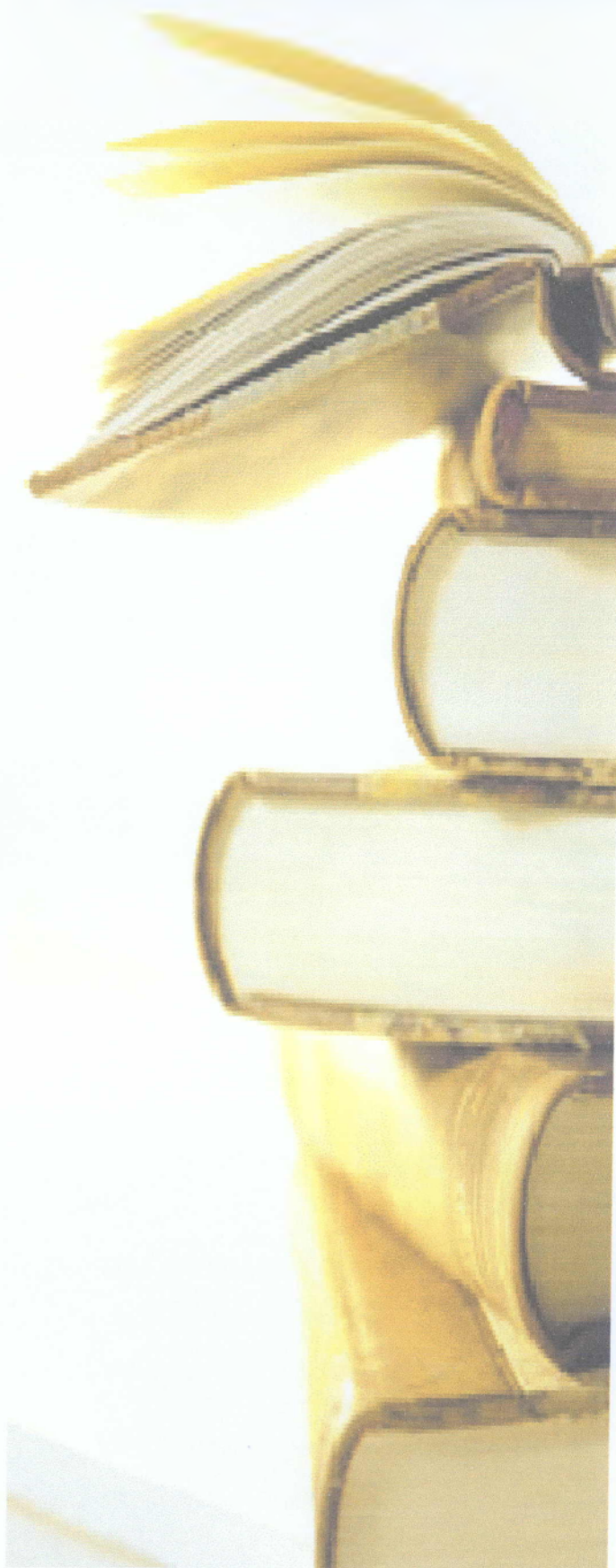
Σπάρτη, Νοέμβρης του 2009

Μαρία Σεβοπούλου

"Any sufficiently advanced technology is indistinguishable from magic."

Arthur C. Clarke

1. ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ



1.1 Εισαγωγή

Τα θεμέλια των τηλεπικοινωνιών μακρινών αποστάσεων τέθηκαν στη σύγχρονη τους μορφή κατά τον 19^ο αιώνα. Το σύστημα Μορς (1840), μια πρωτόγονη μορφή ψηφιακής μετάδοσης που χρησιμοποιούσε δύο διακριτά σύμβολα (την τελεία [.] και την παύλα [-]), έδωσε πολύ γρήγορα (περί τα 1890) τη θέση του στην αναλογική μετάδοση - χωρίς ποτέ να εγκαταλειφθεί απόλυτα - μιας και η τελευταία εξασφάλιζε την μετάδοση της πληροφορίας στην πρωτογενή της μορφή (ήχος) χωρίς να απαιτείται ιδιαίτερη εκπαίδευση του χρήστη. Ακολούθησε σχεδόν ένας αιώνας απόλυτης κυριαρχίας της αναλογικής τηλεφωνίας.

Παρά τις διαρκείς βελτιώσεις, βασικός εχθρός στην αναλογική μετάδοση πληροφορίας υπήρξε ο θόρυβος, κάθε ανεπιθύμητη αλλοίωση του σήματος η οποία μπορεί να οφείλεται σε διάφορα αίτια όπως η πτώση κεραυνού κατά την διάρκεια μιας ραδιοφωνικής μετάδοσης. Αν και η εξέλιξη της τεχνολογίας ήταν ραγδαία, η αναλογική μετάδοση αποδείχθηκε αδύναμη να αντιμετωπίσει το θόρυβο σε βαθμό ικανό να υποστηρίξει τις αυξανόμενες ανάγκες σε ποιότητα και εύρος τηλεπικοινωνιακών υπηρεσιών. Τα τεχνολογικά επιτεύγματα του 20^{ου} αιώνα στον τομέα των τηλεπικοινωνιών άνοιξαν το δρόμο στη λεγόμενη «Ψηφιακή Επανάσταση» με την ψηφιακή μετάδοση να επικρατεί της αναλογικής από τη δεκαετία του 1980 έως και σήμερα.

1.1.1 Ιστορική αναδρομή

Αν και η ψηφιακή μετάδοση πληροφορίας θεωρείται αρκετά καινούργια, οι απαρχές της ανάγονται στο απώτερο παρελθόν.

Με τις λεγόμενες «φρυκτωρίες» οι αρχαίοι Έλληνες άναβαν φωτιές στις κορυφές των βουνών, για να επικοινωνήσουν μεταξύ τους, ανταλλάσσοντας πληροφορίες σε μακρινές αποστάσεις. Αν και οι δυνατότητές της ήταν προφανώς περιορισμένες, η μέθοδος αυτή ήταν κατά βάση ψηφιακή, μιας και το κωδικοποιημένο μήνυμα διαβιβαζόταν με τη χρήση ενός «συμβόλου» (η αφή της φωτιάς).

Στη ναυσιπλοΐα, από πολύ παλιά οι καπετάνιοι για να επικοινωνήσουν άμεσα μεταξύ τους, χρησιμοποιούσαν ειδικούς ισχυρούς προβολείς τους οποίους αναβόσβηναν σύμφωνα με τον κώδικα Μορς: έναν κώδικα «ψηφιακό» όπως εξηγήσαμε στην προηγούμενη παράγραφο.

Ψηφιακή, κατά μία έννοια, υπήρξε και η επικοινωνία μέσω σημάτων καπνού που χρησιμοποιήθηκε αρκετούς αιώνες πριν, από διάφορους λαούς.

Για τους λόγους που ήδη εξηγήσαμε, η αναλογική μετάδοση επικράτησε της ψηφιακής για έναν περίπου αιώνα δίνοντας εφαρμογές που άλλαξαν τηλεπικοινωνιακά την όψη του κόσμου (ενσύρματη και ασύρματη τηλεφωνία, ραδιόφωνο, τηλεόραση κ.λπ.), μέχρι τις αρχές της δεκαετίας του 1980 όπου οι περισσότερες τηλεπικοινωνιακές υπηρεσίες έγιναν ψηφιακές (πλην της ραδιοφωνίας και της τηλεόρασης που παραμένουν αναλογικά μέχρι και σήμερα).

1.1.2 Αναλογικός τρόπος μετάδοσης σήματος

Αδιαφορώντας για τη φύση της πληροφορίας που πρόκειται να μεταδοθεί (ήχος, εικόνα, κ.λπ) βασικός σκοπός κάθε τηλεπικοινωνιακού συστήματος (είτε αυτό είναι αναλογικό είτε ψηφιακό) είναι ο εκπομπή του σήματος από τον πομπό και τη λήψη του στον δέκτη με τις μικρότερες δυνατές αλλοιώσεις.

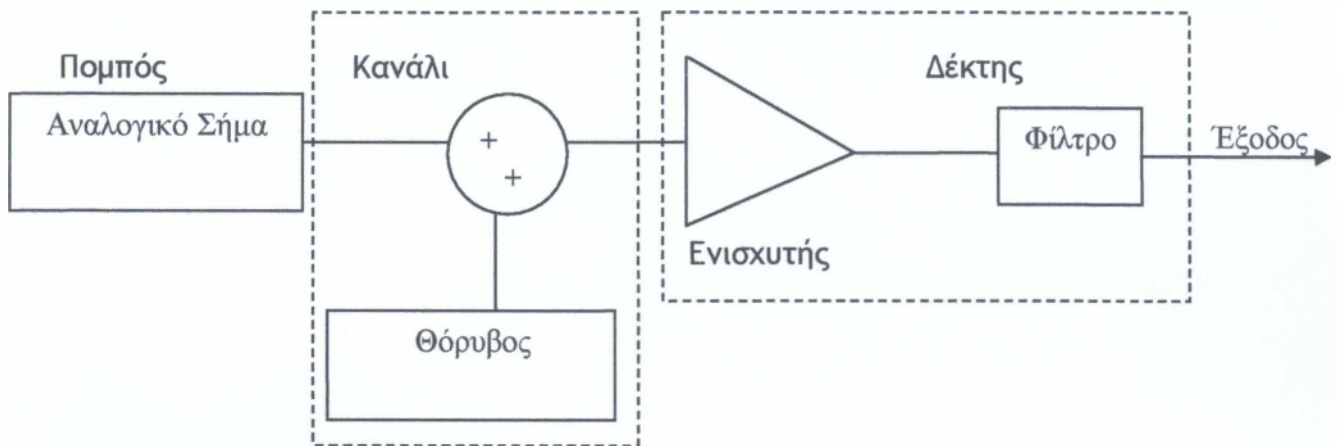
Σε κάθε περίπτωση, τα σημαντικότερα προβλήματα είναι η εξασθένηση που παρουσιάζει το σήμα κατά την μετάδοσή του, η παραμόρφωση και ο θόρυβος. Λόγω των διάφορων μορφών απωλειών (κυρίως στο τηλεπικοινωνιακό κανάλι), το σήμα θα γίνει πιο αδύναμο (θα εξασθενήσει) μετά από ορισμένη απόσταση. Επιπλέον, παρά την προσεκτική σχεδίαση, η παραμόρφωσή του είναι αναπόφευκτη εξαιτίας, κυρίως, των περιορισμών στο εύρος ζώνης του καναλιού. Τέλος, ένας εξαιρετικά σημαντικός παράγοντας αλλοίωσης του σήματος είναι ο θόρυβος, η παρουσία του οποίου είναι σύμφυτη με την ίδια την ύπαρξη του καναλιού μετάδοσης και η τυχαιότητα του οποίου καθιστά αδύνατη την πλήρη εξάλειψή του.

Ο αναλογικός τρόπος μετάδοσης χειρίζεται το αντίστοιχο σήμα ως συνεχή κυματομορφή, γεγονός που οδηγεί στους περιορισμούς που θα εξετάσουμε στη συνέχεια.

Για την αντιμετώπιση του προβλήματος της εξασθένησης του σήματος ένα αναλογικό σύστημα μετάδοσης περιλαμβάνει ενισχυτές που αναπληρώνουν την ενέργεια του σήματος που χάνεται ή αναμεταδότες για να αναμεταδώσουν όσες φορές χρειάζεται το σήμα. Δυστυχώς ο ενισχυτής ενισχύει επίσης τις συνιστώσες του θορύβου. Τοποθετώντας ενισχυτές σε σειρά για να επιτύχουμε μεγαλύτερες αποστάσεις το σήμα παραμορφώνεται όλο και περισσότερο. Για μια ζεύξη από σημείο σε σημείο η ένταση του σήματος του πομπού πρέπει να είναι αρκετή ώστε το σήμα να παραληφθεί κατά τρόπο κατανοητό, αλλά όχι τόσο ώστε να υπερφορτώσει τα κυκλώματα του πομπού ή του δέκτη όπου θα προκαλούσε παραμόρφωση. Πέρα από μια ορισμένη απόσταση η εξασθένηση γίνεται απαράδεκτα μεγάλη και χρησιμοποιούνται αναμεταδότες ή ενισχυτές για να αναμεταδώσουν ή να ενισχύσουν το σήμα σε τακτά χρονικά διαστήματα. Αυτά τα προβλήματα είναι πολύ πιο σύνθετα για τις πολυσημειακές γραμμές (multipoint lines) όπου η απόσταση από τον πομπό στον δέκτη είναι μεταβλητή.

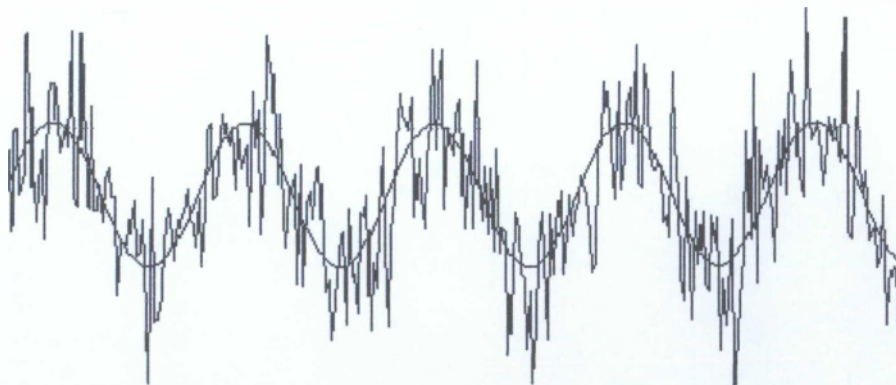
Επειδή η εξασθένηση μεταβάλλεται ως συνάρτηση της συχνότητας το λαμβανόμενο σήμα παραμορφώνεται. Για να ξεπεραστεί αυτό το πρόβλημα υπάρχουν διαθέσιμες τεχνικές για την ισοστάθμιση της εξασθένησης σε μια ζώνη συχνοτήτων. Μια άλλη προσέγγιση είναι να χρησιμοποιηθούν ενισχυτές που ενισχύουν τις υψηλές συχνότητες περισσότερο από τις χαμηλές συχνότητες.

Η θεμελιώδης αρχή της αναλογικής μετάδοσης φαίνεται στο ακόλουθο σχήμα.



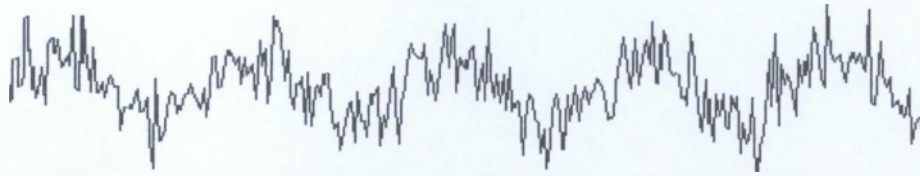
Σχήμα 1.1.2.1: Αρχή Αναλογικής Μετάδοσης

Ας υποθέσουμε πως αρμονικό αναλογικό σήμα μεταδίδεται μέσα από ενθόρυβο κανάλι. Λόγω του θορύβου και μόνο, το σήμα θα αλλοιωθεί (Σχ. 1.1.2.2).



Σχήμα 1.1.2.2: Αναλογικό Σήμα (Αυθεντικό και Ενθόρυβο)

Αν ληφθεί υπόψη και η εξασθένηση του σήματος, το σήμα στην είσοδο του δέκτη θα έχει την πιο κάτω μορφή:



Σχήμα 1.1.2.3: Αλλοιωμένο Αναλογικό Σήμα (Ενθόρυβο και Εξασθενημένο)

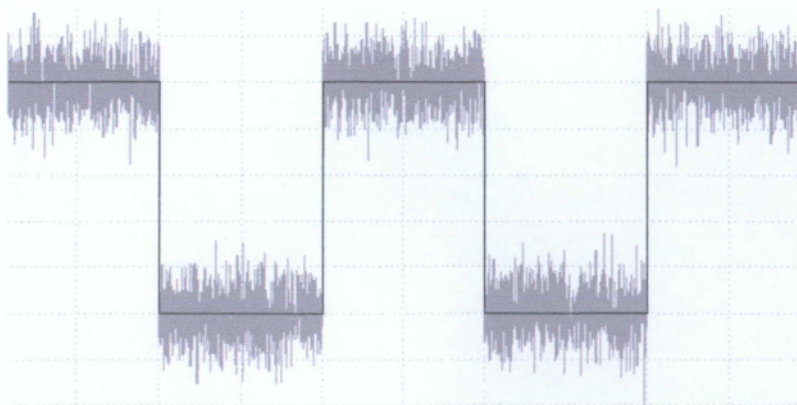
Παρά την ενίσχυση και την διοχέτευση του σήματος από κατάλληλο φίλτρο στο δέκτη, ένα μέρος του θορύβου (εκείνο που αντιστοιχεί στο εύρος ζώνης του σήματος) θα παραμείνει, με αποτέλεσμα το σήμα στην έξοδο του δέκτη να μην ανταποκρίνεται πιστά στο αρμονικό σήμα που εξέπεμψε ο πομπός:



Σχήμα 1.1.2.4: Αναλογικό Σήμα στην Έξοδο του Δέκτη (Αλλοιωμένο)

1.1.3 Ψηφιακός τρόπος μετάδοσης σήματος.

Ο ψηφιακός τρόπος μετάδοσης έγκειται στην μετατροπή του αναλογικού σήματος σε μια παλμοσειρά δύο διακριτών καταστάσεων. Οι καταστάσεις αυτές διαχωρίζονται μεταξύ τους σε ικανό βαθμό ώστε να είναι δυνατή η διάκρισή τους ακόμη κι αν η παλμοσειρά έχει αλλοιωθεί. Κατά τα λοιπά, η μετάδοση της δυαδικής παλμοσειράς είναι αναλογική, μιας και όλα τα σήματα στη φύση είναι συνεχή.



Σχήμα 1.1.3.1: Ψηφιακή Παλμοσειρά Διακριτών Καταστάσεων

Ακριβώς λόγω της χρήσης δύο διακριτών μεταξύ τους σταθμών (καταστάσεων), η ψηφιακή τεχνική επιτρέπει την «αναγέννηση» του σήματος, με την οποία μπορεί να αγνοηθεί πλήρως ο θόρυβος που επικάθεται στις στάθμες αυτές. Η διαδικασία της αναγέννησης, επομένως, επιτρέπει την ανασύσταση του αρχικού ψηφιακού σήματος και την εξουδετέρωση του θορύβου και των άλλων αλλοιώσεων του σήματος.

Η ψηφιακή αναπαράσταση ενός αναλογικού σήματος εξαρτάται από την τεχνική που χρησιμοποιείται (PCM, Δέλτα, Σίγμα-Δέλτα, κ.λπ.). Η ψηφιακή αναπαράσταση που χρησιμοποιείται στη Διαμόρφωση Δέλτα (η οποία αποτελεί και το αντικείμενο της εργασίας αυτής) θα εξεταστεί διεξοδικά σε επόμενη παράγραφο

1.1.4 Σύγκριση αναλογικού – ψηφιακού τρόπου μετάδοσης

Ο σημαντικότερος ίσως λόγος επικράτησης της ψηφιακής τεχνικής υπήρξε η τεράστια ανάπτυξη και τα τεχνολογικά επιτεύγματα στον τομέα των ολοκληρωμένων κυκλωμάτων. Στην ψηφιακή μετάδοση χρησιμοποιούμε ψηφιακά κυκλώματα το κόστος των οποίων στις μέρες μας έχει γίνει εξαιρετικά χαμηλό, καθιστώντας την ψηφιακή τεχνική συμφορότερη από οικονομοτεχνικής άποψης.

Με την δυνατότητα κρυπτογράφησης των δεδομένων που παρέχει η ψηφιακή μετάδοση η ασφάλεια για την μετάδοση του σήματος είναι ασφαλώς μεγαλύτερη. Τα ψηφιακά συστήματα μπορούν να μεταδώσουν δεδομένα σε ποικίλες μορφές (ήχος, εικόνα κτλ.) ενώ τα αναλογικά συστήματα έχουν σαφείς περιορισμούς. Επιπλέον, πέραν της εγγενούς ανοχής στο θόρυβο της ψηφιακής τεχνικής, η χρήση τεχνικών ανίχνευσης και διόρθωσης ψηφιακών σφαλμάτων καθιστά την τεχνολογία αυτή εξαιρετικά ελκυστική, μιας και επιτρέπει, εκτός των άλλων, την εκμετάλλευση καναλιών μετάδοσης με πτωχά χαρακτηριστικά, εξασφαλίζοντας πολύ καλύτερη ποιότητα επικοινωνίας σε σχέση με την αναλογική τεχνική. Το γεγονός αυτό μειώνει ακόμα περισσότερο το συνολικό κόστος ενός ψηφιακού συστήματος.

1.2 Τεχνικές Μετατροπής Αναλογικού Σήματος σε Ψηφιακό και Αντίστροφα

Από τις πιο γνωστές τεχνικές μετατροπής αναλογικού σήματος σε ψηφιακό (και αντίστροφα) είναι οι εξής :

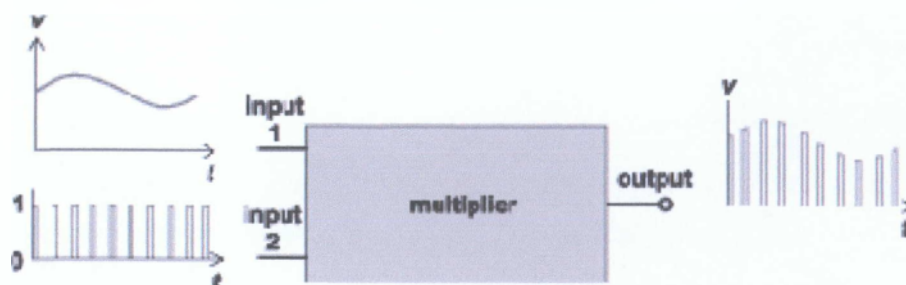
- Παλμοκωδική διαμόρφωση (PCM-Pulse Code Modulation)
- Δέλτα διαμόρφωση - αποδιαμόρφωση (Delta Modulation - DM)

1.2.1 Παλμοκωδική Διαμόρφωση (PCM)

Πρόκειται για τον πιο ευρέως διαδεδομένο τρόπο ψηφιακής αναπαράστασης ενός αναλογικού σήματος και είναι ο τρόπος επικοινωνίας που χρησιμοποιούν τα σύγχρονα ψηφιακά τηλεφωνικά κέντρα. Οι τύποι των γραμμών μετάδοσης που χρησιμοποιούνται στις περιπτώσεις αυτές ονομάζονται είτε E1 (στην Ευρώπη) είτε T1 (στις ΗΠΑ) και χρησιμοποιούν 30 και 20 κανάλια επικοινωνίας των 64Kbps αντίστοιχα, κάνοντας παράλληλη χρήση τις τεχνολογίας TDM (Time Division Multiplexing).

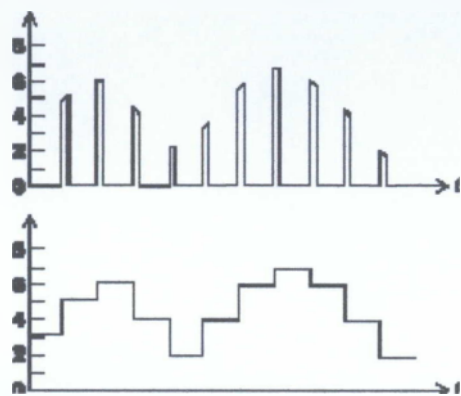
Η ψηφιακή αναπαράσταση του σήματος πραγματοποιείται σε τρία στάδια: την δειγματοληψία, την κβάντιση και την κωδικοποίηση

Η δειγματοληψία είναι η διαδικασία κατά την οποία από ένα συνεχές σήμα στο πεδίο του χρόνου λαμβάνονται δείγματα μόνο κατά ορισμένες και διακριτές τιμές του χρόνου. Μόνο σε αυτές τις διακριτές χρονικές στιγμές λαμβάνεται το πλάτος του σήματος. Προκειμένου να μην χαθεί η πληροφορία που περιέχει το συνεχές σήμα θα πρέπει ο ρυθμός με τον οποίο γίνεται η δειγματοληψία να είναι τουλάχιστον δύο φορές μεγαλύτερος από την μέγιστη συχνότητα του σήματος. Δηλαδή στο στάδιο αυτό χρησιμοποιούμε τον ρυθμό Nyquist.



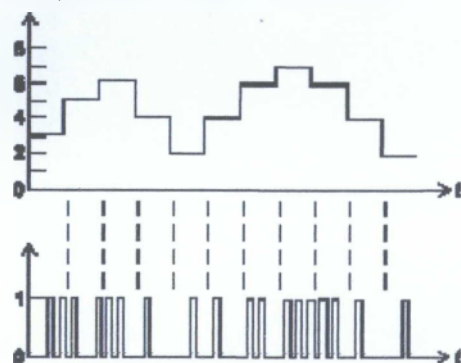
Σχήμα 1.2.1.1: Δειγματοληψία Αναλογικού Σήματος

Έπειτα ακολουθεί η κβάντιση όπου είναι η αναπαράσταση των αναλογικών δειγματοληπτημένων τιμών με ένα πεπερασμένο σύνολο σταθμών. Μπορούμε να πούμε ότι το κβαντισμένο σήμα είναι μια προσέγγιση του αναλογικού σήματος. Όσο πιο πολλές είναι οι στάθμες κβάντισης τόσο μεγαλύτερη ακρίβεια πετυχαίνουμε στην προσεγγιστική αναπαράσταση του αναλογικού σήματος.



Σχήμα 1.2.1.2: Κβάντιση Δειγμάτων Αναλογικού Σήματος

Τέλος, οι στάθμες που έχουν χρησιμοποιηθεί στην κβάντιση πρέπει να αναπαρασταθούν στο δυαδικό σύστημα, ώστε να έχουν την κατάλληλη μορφή για αποστολή (στη μορφή της δυαδικής παλμοσειράς στην οποία ήδη αναφερθήκαμε). Για παράδειγμα αν για την κβάντιση έχουμε χρησιμοποιήσει τις ζώνες 3, 4, 6, 2 αυτές για να αναπαρασταθούν χρειάζονται 3 bits όπου παίρνουν αντίστοιχα τις τιμές 011, 100, 110, 010.



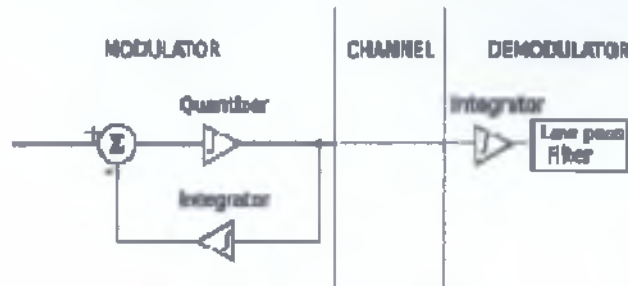
Σχήμα 1.2.1.3: Κωδικοποίηση Σταθμών Κβάντισης

Από την πλευρά του δέκτη ακολουθείται η αντίστροφη διαδικασία: συλλέγονται τα ψηφία που αποστέλλονται σύμφωνα με την σειριακή μετάδοση και ομαδοποιούνται σε χαρακτήρες δειγμάτων. Έπειτα αποκωδικοποιούνται τα δείγματα, δηλαδή αντιστοιχίζονται σε στάθμες με βάση τους συγκεκριμένους χαρακτήρες. Τελικά, με τη χρήση κατάλληλου φίλτρου αποκοπής, τα δείγματα του ψηφιακού σήματος αναπαράγουν το αρχικό αναλογικό σήμα.

1.2.2 Διαμόρφωση Δέλτα

Η Διαμόρφωση Δέλτα (Delta Modulation - DM) είναι μια τεχνική μετατροπής αναλογικού σήματος σε ψηφιακό.

Η βασική αρχή την οποία υλοποιεί φαίνεται στο ακόλουθο διάγραμμα.



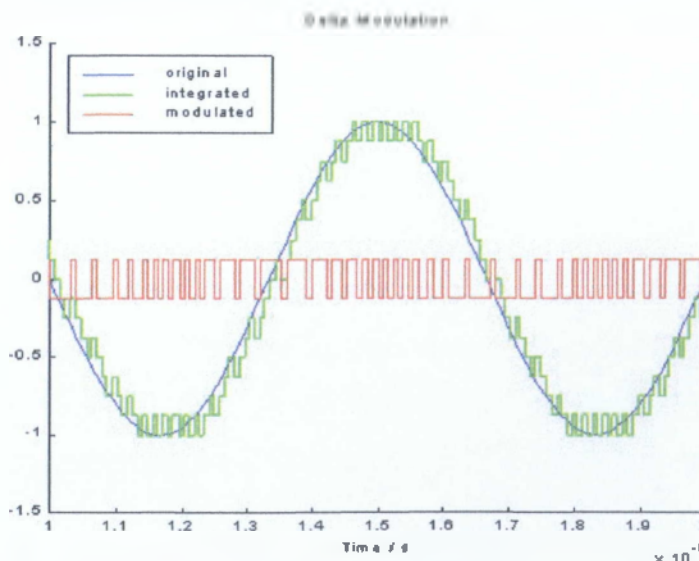
Σχήμα 1.2.2.1 Αρχή Διαμορφωτή / Αποδιαμορφωτή Δέλτα

Σε αντίθεση με την τεχνική PCM, στη διαμόρφωση Δέλτα αντί της κβάντισης της απόλυτης τιμής ενός δείγματος του σήματος κβαντίζεται η διαφορά μεταξύ της τρέχουσας και της προηγούμενης τιμής, όπως καταδεικνύεται στο πιο πάνω διάγραμμα

Ο διαμορφωτής αποτελείται από τον κβαντιστή, ο οποίος μετατρέπει τη διαφορά μεταξύ του σήματος εισόδου και του ολοκληρώματος των προηγούμενων βημάτων (το οποίο υπολογίζεται από τον ολοκληρωτή).

Ο αποδιαμορφωτής αποτελείται απλά και μόνο από έναν ολοκληρωτή και ένα χαμηλοπερατό φίλτρο

Η διαδικασία διαμόρφωσης ενός ημιτονικού σήματος φαίνεται αναλυτικά στο επόμενο σχήμα.



Σχήμα 1.2.2.2 Διαμόρφωση Δέλτα Ημιτονικού Σήματος

1.2.3. Προβλήματα της Διαμόρφωσης Δέλτα

Ένα από τα κυριότερα προβλήματα της Διαμόρφωσης Δέλτα είναι το «σφάλμα υπερφόρτωσης κλίσης» (Slope Overload Error). Ο συγκεκριμένος περιορισμός συμβαίνει όταν η κλίση του σήματος μεταβάλλεται ταχύτερα απ' ό,τι μπορεί να παρακολουθήσει ο Διαμορφωτής Δέλτα. Η κατάσταση αυτή φαίνεται στο παρακάτω σχήμα.



Σχήμα 1.2.3.1 Σφάλμα Υπερφόρτωσης Κλίσης

Είναι επίσης φανερό πως λόγω του διαφορικού τρόπου λειτουργίας του διαμορφωτή, κρίσιμος παράγοντας για την ακεραιότητα της ανακατασκευής του αναλογικού σήματος θα είναι ο σωστός συγχρονισμός πομπού και δέκτη, καθώς και ο περιορισμός στο ελάχιστο των ψηφιακών σφαλμάτων, μιας και καθένα από αυτά «διαδίδεται» κατά τρόπο αθροιστικό.

1.2.4 Σύγκριση της Διαμόρφωσης Δέλτα με άλλες τεχνικές μετατροπής αναλογικού σε ψηφιακό.

Δεδομένης της απλής αρχής λειτουργίας ενός συστήματος Δέλτα Διαμόρφωσης / Αποδιαμόρφωσης, γίνεται φανερό πως η κυκλωματική υλοποίηση της τεχνικής είναι εξίσου απλή, γεγονός που καθιστά το κόστος της αντίστοιχης υλοποίησης σημαντικά μικρότερο σε σχέση με άλλες τεχνικές. Μάλιστα, υπάρχουν διαθέσιμοι σε ένα μόνο ολοκληρωμένο κύκλωμα κωδικοποιητές / αποκωδικοποιητές για Διαμόρφωση Δέλτα.

Παρόλα αυτά, η Διαμόρφωση Δέλτα δεν συνηθίζεται να χρησιμοποιείται μιας και είναι ευπαθής σε διάφορες ατέλειες που εμφανίζονται σε ένα τηλεπικοινωνιακό σύστημα: Στα σφάλματα συγχρονισμού, στα ψηφιακά σφάλματα λόγω αυξημένων τιμών θορύβου και παραμορφώσεων κ.λπ. Σε συνδυασμό με το πρόβλημα της υπερφόρτωσης κλίσης που δεν είναι πάντα δυνατό να αποφευχθεί (ιδιαίτερα αν τα

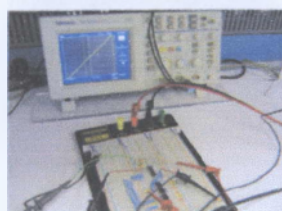
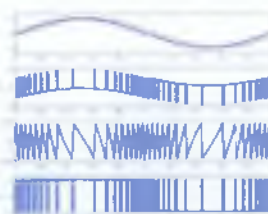
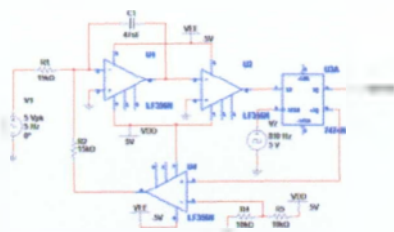
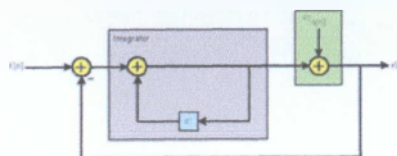
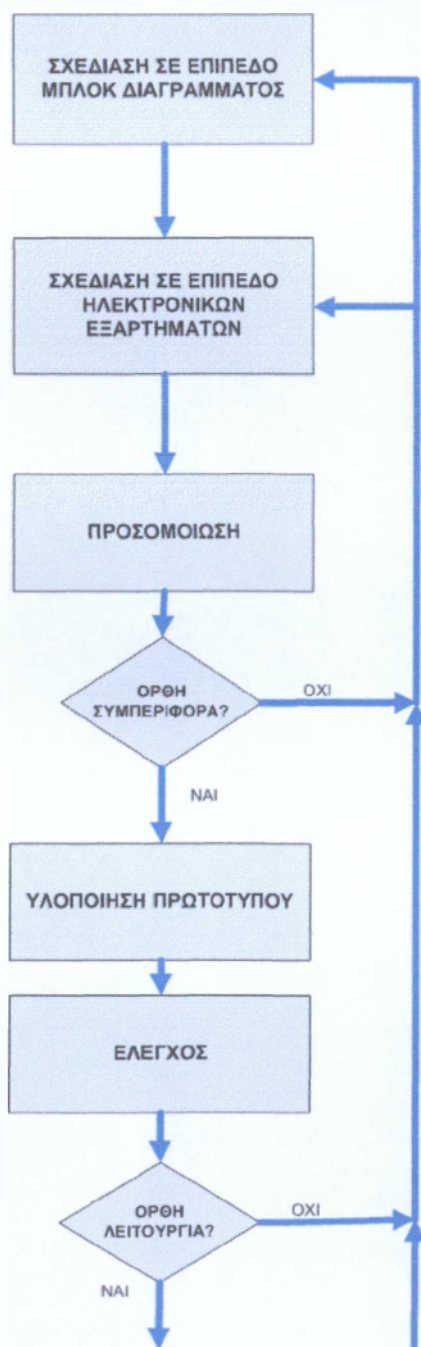
χαρακτηριστικά του αναλογικού σήματος δεν είναι απολύτως γνωστά), οι εφαρμογές της Διαμόρφωσης Δέλτα είναι περιορισμένες και πάντως δεν βρίσκονται στο χώρο των εμπορικών τηλεπικοινωνιακών συστημάτων.

2. ΠΡΑΚΤΙΚΟ ΜΕΡΟΣ



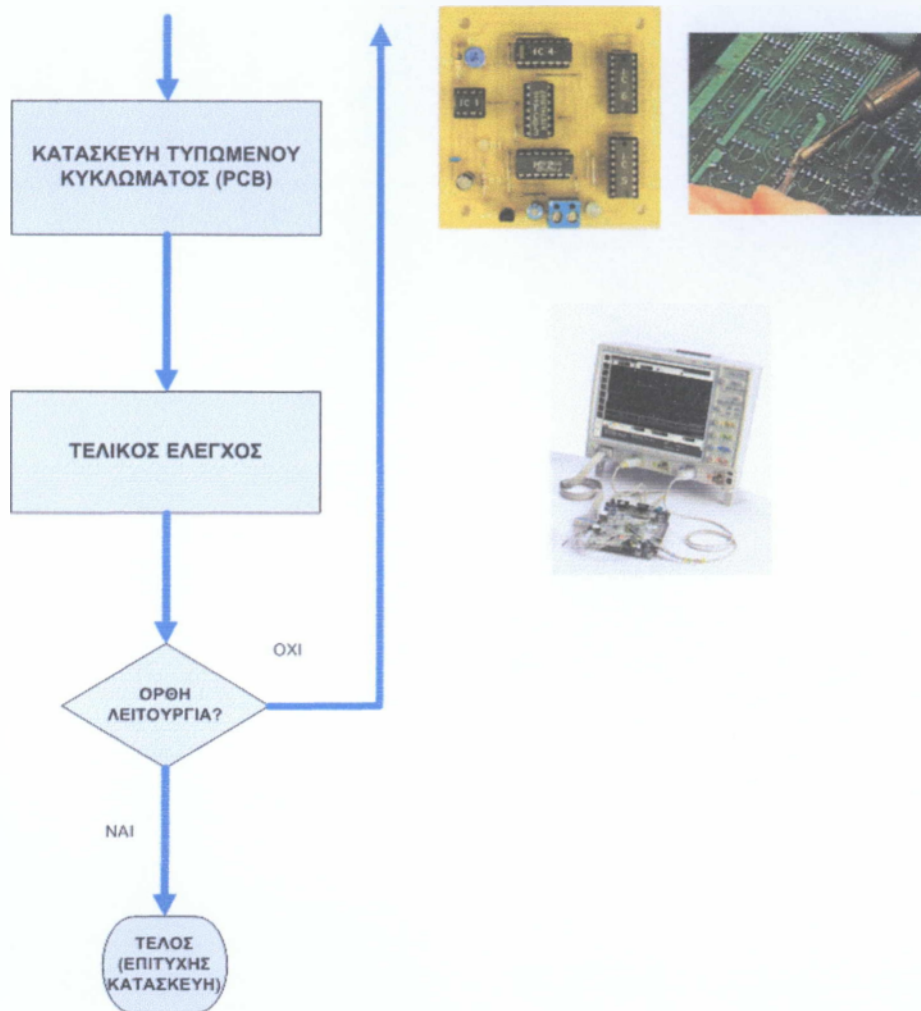
2.1 Μεθοδολογία Σχεδίασης

Αφού γίνει ο καθορισμός των προδιαγραφών (αριθμός εισόδων/εξόδων, ηλεκτρικά χαρακτηριστικά των αντίστοιχων σημάτων κ.λπ.), η συνήθης πρακτική που ακολουθείται κατά τη σχεδίαση ενός ηλεκτρονικού κυκλώματος φαίνεται στο διάγραμμα ροής του επόμενου σχήματος.



(Συνέχεια στην επόμενη σελίδα)

(Από Προηγούμενη Σελίδα)

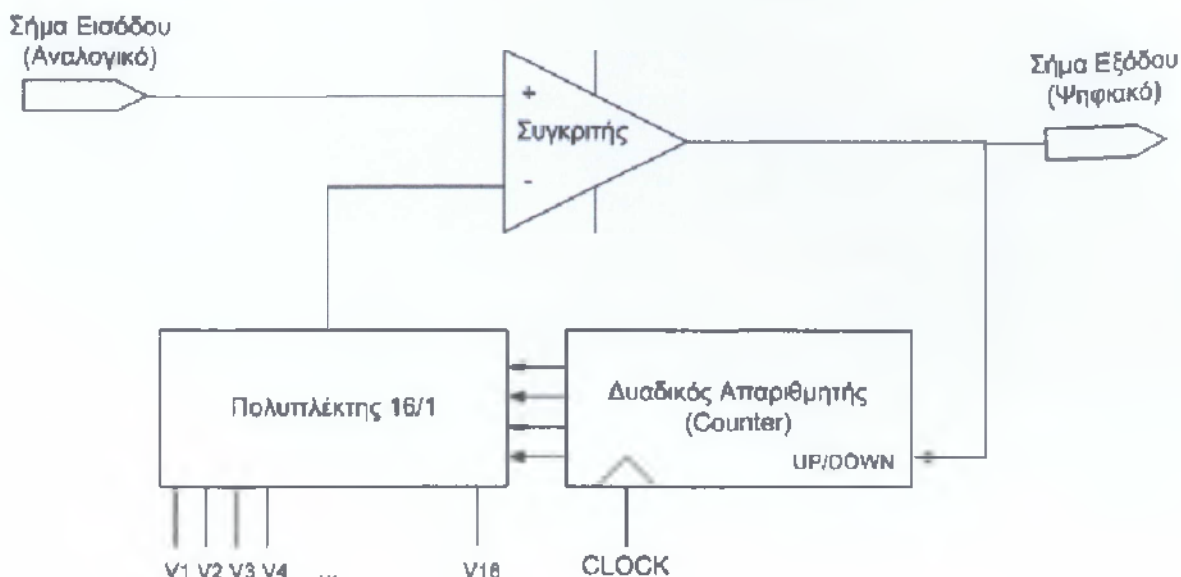


Σχήμα 2.1.1 Μεθοδολογία Σχεδίασης Κυκλώματος

2.2 Προδιαγραφές

2.2.1 Διάγραμμα Βαθμιδών Διαμορφωτή

Πριν προχωρήσουμε στον καθορισμό των προδιαγραφών του Διαμορφωτή, θα σχεδιάσουμε τη δομή του σε μορφή Διαγράμματος Βαθμιδών (Μπλοκ Διαγράμματος). Με βάση και την ανάλυση της αρχής λειτουργίας της Διαμόρφωσης Δέλτα που προηγήθηκε στο Θεωρητικό Μέρος, το διάγραμμα βαθμιδών ενός απλού Διαμορφωτή Δέλτα θα έχει τη μορφή του ακόλουθου σχήματος.



Σχήμα 2.2.1.1 Διάγραμμα Βαθμιδών Διαμορφωτή Δέλτα

Το σύστημα πολυπλέκτη - απαριθμητή επιτελεί τη λειτουργία της ολοκλήρωσης των καταστάσεων του ψηφιακού σήματος στην έξοδο του διαμορφωτή, και τροφοδοτεί την αρνητική είσοδο του συγκριτή με το κλιμακωτό σήμα του Σχήματος 1.2.2.2 του Θεωρητικού Μέρους.

Αν η τιμή του σήματος εισόδου είναι μεγαλύτερη της τιμής του κλιμακωτού σήματος, τότε ο συγκριτής παρέχει στην έξοδό του λογικό «1», η δε τιμή αυτή αναγκάζει τον απαριθμητή να μετρά προς τα πάνω, με αποτέλεσμα την μετάβαση της κλιμακωτής τάσης στην επόμενη βαθμίδα της.

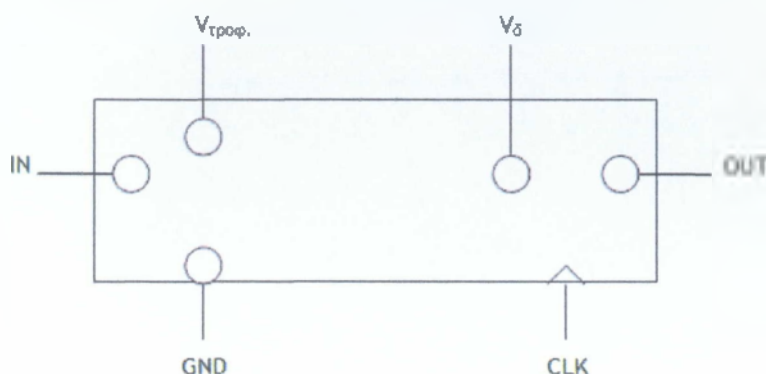
Αν, αντίθετα, η τιμή του σήματος εισόδου είναι μικρότερη της τιμής του κλιμακωτού σήματος, τότε ο συγκριτής παρέχει στην έξοδό του λογικό «0», αναγκάζοντας τον απαριθμητή να μετρά προς τα κάτω, με αποτέλεσμα την μετάβαση της κλιμακωτής τάσης στην κατώτερη βαθμίδα της.

2.2.2 Προδιαγραφές Διαμορφωτή

Κατά τον καθορισμό των προδιαγραφών του Διαμορφωτή θα πρέπει να ληφθούν υπόψη τόσο ο διαθέσιμος εργαστηριακός εξοπλισμός ο οποίος θα χρησιμοποιηθεί στο στάδιο του ελέγχου της λειτουργίας του κυκλώματος, όσο και τα εξαρτήματα που θα χρησιμοποιηθούν για την υλοποίησή του.

Επιπλέον, θα πρέπει ληφθεί μέριμνα ώστε το κύκλωμα να ικανοποιεί την ανάγκη χρήσης του για εκπαιδευτικούς σκοπούς στο Εργαστήριο Ηλεκτρονικής και Τηλεπικοινωνιών. Το γεγονός αυτό, επιβάλλει την πρόνοια για επιπλέον εξόδους ώστε να μπορεί να γίνει παρατήρηση των «εσωτερικών» σημάτων του κυκλώματος (π.χ. της κλιμακωτής τάσης) και να είναι πιο κατανοητή από τον ασκούμενο η γενική αρχή λειτουργίας της κωδικοποίησης.

Έχοντας κατά νου τα προηγούμενα, οι απαιτούμενες διεπαφές (interfaces) του κυκλώματος Διαμόρφωσης Δέλτα θα πρέπει να είναι όπως υποδεικνύει το επόμενο σχήμα.



Σχήμα 2.2.2.1 Διεπαφές Διαμορφωτή Δέλτα

Το κύκλωμα θα πρέπει να διαθέτει υποδοχή εισόδου για το προς διαμόρφωση αναλογικό σήμα (IN), υποδοχή για την συνεχή τάση τροφοδοσίας ($V_{\text{τροφ.}}$), υποδοχή κοινού αγωγού (GND - Ground), υποδοχή εισόδου σήματος ρολογιού (CLK - Clock) καθώς και ακροδέκτες εξόδου για το ψηφιακό σήμα που προκύπτει από τη διαμόρφωση (OUT) και για την κλιμακωτή τάση για την οποία στο εξής θα χρησιμοποιούμε τον όρο «τάση Δέλτα» (V_{Δ}).

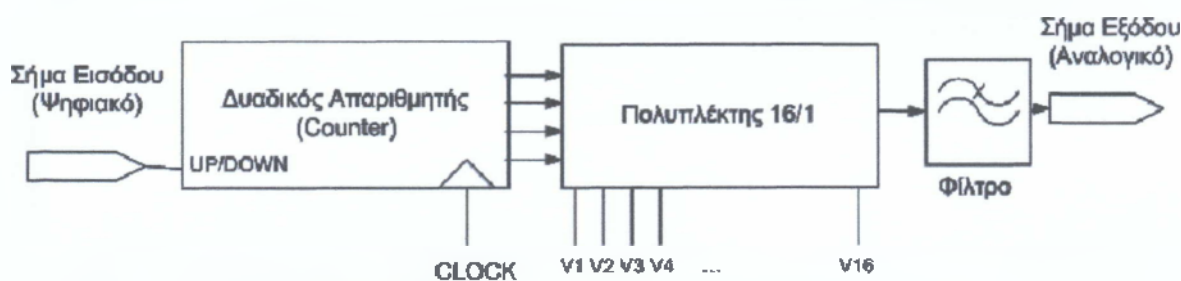
Το πλήθος των βαθμιδών της τάσης Δέλτα θα είναι 16 ώστε να γίνει δυνατή η αξιοποίηση ενός πολυπλέκτη 16/1, ενώ οι αντίστοιχες τιμές τάσης των βαθμιδών θα κατανέμονται ομοιόμορφα μεταξύ των 0 και 15 Volts (GND και $V_{\text{τροφ.}}$, αντίστοιχα) ώστε στην υλοποίηση να χρησιμοποιηθούν ευρέως διαθέσιμα ολοκληρωμένα κυκλώματα του εμπορίου.

Ως εκ τούτου, το αναλογικό σήμα εισόδου θα πρέπει να περιορίζεται στην περιοχική τάσεων μεταξύ 0 και 15 Volts και θα πρέπει να έχει συχνότητα μεταξύ 1kHz και 4kHz (στην ακουστική δηλαδή περιοχή). Με βάση το φασματικό αυτό εύρος θα γίνει και η σχεδίαση του φίλτρου εξομάλυνσης που θα χρησιμοποιηθεί στον αποκωδικοποιητή.

Προκειμένου να αποφευχθεί η ανάγκη διαφορετικών τάσεων τροφοδοσίας η οποία θα αύξανε την πολυπλοκότητα της σχεδίασης, η ψηφιακή τάση εξόδου θα απαιτηθεί να έχει λογικές στάθμες με τιμές 0 και 15 Volts. Για τον ίδιο λόγο θα ισχύουν παρόμοιες απαιτήσεις για τις λογικές στάθμες του σήματος ρολογιού (CLK), το οποίο θα πρέπει να είναι ορθογώνιο και με συχνότητα - καθοριζόμενη από το κριτήριο Nyquist- σε τιμή τουλάχιστον ίση με το διπλάσιο της μέγιστης τιμής της συχνότητας του σήματος (δηλαδή $\geq 2 \times 4\text{kHz} = 8\text{kHz}$).

2.2.3 Διάγραμμα Βαθμίδων Αποδιαμορφωτή

Ακολουθώντας διαδικασία αντίστοιχη εκείνης που ακολουθήθηκε κατά τον καθορισμό των προδιαγραφών του Διαμορφωτή, θα σχεδιάσουμε τη δομή σε μορφή Διαγράμματος Βαθμίδων (Μπλοκ Διαγράμματος) του Αποδιαμορφωτή Δέλτα. Με βάση και την ανάλυση της αρχής λειτουργίας της Διαμόρφωσης Δέλτα που προηγήθηκε στο Θεωρητικό Μέρος, το διάγραμμα Βαθμίδων ενός απλού Αποδιαμορφωτή Δέλτα θα έχει τη μορφή του ακόλουθου σχήματος.



Σχήμα 2.2.3.1 Διάγραμμα Βαθμίδων Αποδιαμορφωτή Δέλτα

Το σύστημα πολυπλέκτη - απαριθμητή επιτελεί τη λειτουργία της ολοκλήρωσης των καταστάσεων του ψηφιακού σήματος στην είσοδο του αποδιαμορφωτή, ώστε να ανακτηθεί το κλιμακωτό σήμα «Δέλτα» του Σχήματος 1.2.2.2 του Θεωρητικού Μέρους.

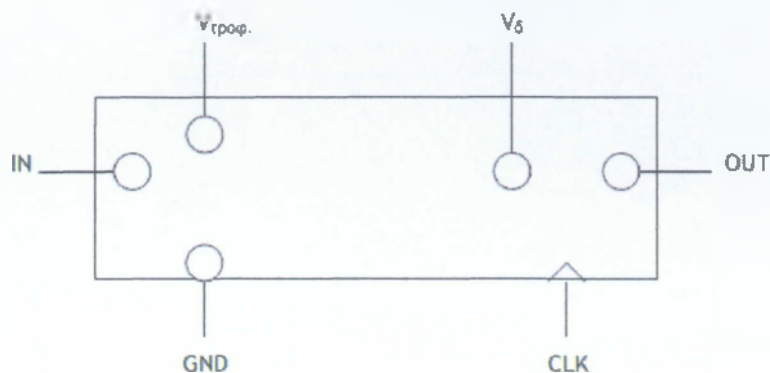
Δεδομένου ότι το σήμα «Δέλτα» περιέχει πέραν του αρχικού αναλογικού σήματος και τις υψίσυχνες συνιστώσες εξαιτίας της δειγματοληψίας, θα πρέπει αυτό να διέλθει από χαμηλοπερατό φίλτρο (LPF - Low Pass Filter) ώστε να «απομονωθεί» το αυθεντικό αναλογικό σήμα και να αποκοπούν οι υψηλές συχνότητες.

Θα πρέπει εδώ να σημειώσουμε την πιθανότητα παρεμβολής απομονωτή (buffer) μεταξύ πολυπλέκτη και φίλτρου. Η τροποποίηση αυτή θα απαιτηθεί αν κατά τη φάση του ελέγχου του πρωτοτύπου (prototype) παρατηρηθεί πρόβλημα εξαιτίας κακής προσαρμογής αντιστάσεων μεταξύ των δύο αυτών βαθμίδων.

2.2.4 Προδιαγραφές Αποδιαμορφωτή

Δεδομένου πως η διαδικασία της αποδιαμόρφωσης είναι αντίστροφη της διαδικασίας διαμόρφωσης, είναι φανερό πως οι διεπαφές του αποδιαμορφωτή θα είναι αντίστοιχες εκείνων του διαμορφωτή, για τους ίδιους λόγους που αναλύσαμε στη σχετική παράγραφο που προηγήθηκε.

Ως εκ τούτου, οι απαιτούμενες διεπαφές (interfaces) του κυκλώματος Αποδιαμόρφωσης Δέλτα θα πρέπει να είναι όπως υποδεικνύει το επόμενο σχήμα.



Σχήμα 2.2.4.1 Διεπαφές Αποδιαμορφωτή Δέλτα

Το κύκλωμα θα πρέπει να διαθέτει υποδοχή εισόδου για το προς αποδιαμόρφωση ψηφιακό σήμα (IN), υποδοχή για την συνεχή τάση τροφοδοσίας ($V_{\text{τροφ.}}$), υποδοχή κοινού αγωγού (GND - Ground), υποδοχή εισόδου σήματος ρολογιού (CLK - Clock) καθώς και ακροδέκτες εξόδου για το αναλογικό σήμα που προκύπτει από τη διαδικασία αποδιαμόρφωσης (OUT) και για την κλιμακωτή τάση Δέλτα (V_{δ}).

Σε απόλυτη αντιστοιχία με την περίπτωση του διαμορφωτή, το πλήθος των βαθμίδων της τάσης Δέλτα θα είναι 16 ώστε να γίνει δυνατή η αξιοποίηση ενός πολυπλέκτη 16/1 του εμπορίου, ενώ οι αντίστοιχες τιμές τάσης των βαθμίδων θα κατανέμονται ομοιόμορφα μεταξύ των 0 και 15 Volts (GND και $V_{\text{τροφ.}}$, αντίστοιχα).

Ως εκ τούτου, το αναλογικό σήμα εξόδου θα περιορίζεται στην περιοχή τάσεων μεταξύ 0 και 15 Volts η δε ψηφιακή τάση εισόδου θα απαιτηθεί να έχει λογικές στάθμες με τιμές του ίδιου εύρους.

Στο σημείο αυτό οφείλουμε να τονίσουμε την εξαιρετική κρισιμότητα της τάσης τροφοδοσίας και του σήματος ρολογιού όσον αφορά τη σωστή λειτουργία της συνολικής ζεύξης διαμορφωτή και αποδιαμορφωτή: Αν δεν ταυτίζονται απόλυτα και για τα δύο κυκλώματα, τότε θα παρατηρείται αντιστοιχία στις βαθμίδες της τάσης Δέλτα αλλά και προβλήματα συγχρονισμού πομπού και δέκτη, με αποτέλεσμα τον υποβιβασμό της αξιοπιστίας κατά την ανάκτηση του αναλογικού σήματος στον αποδιαμορφωτή.

2.3 Σχεδίαση

2.3.1 Μεθοδολογία Σχεδίασης

Κατά τη σχεδίαση των κυκλωμάτων ακολουθήθηκε πιστά η διαδικασία που περιγράφηκε στην παράγραφο 2.1 . Λόγω των επιμέρους σχεδιαστικών προβλημάτων που αντιμετωπίσαμε χρειάστηκε να γίνει επανασχεδίαση αρκετές φορές μέχρι να επιτευχθεί η επιθυμητή λειτουργικότητα. Στη συνέχεια θα αναλύσουμε τη διαδικασία σαν να έγινε σε μία μοναδική φάση, προκειμένου να διατηρηθεί η λογική σειρά του κειμένου.

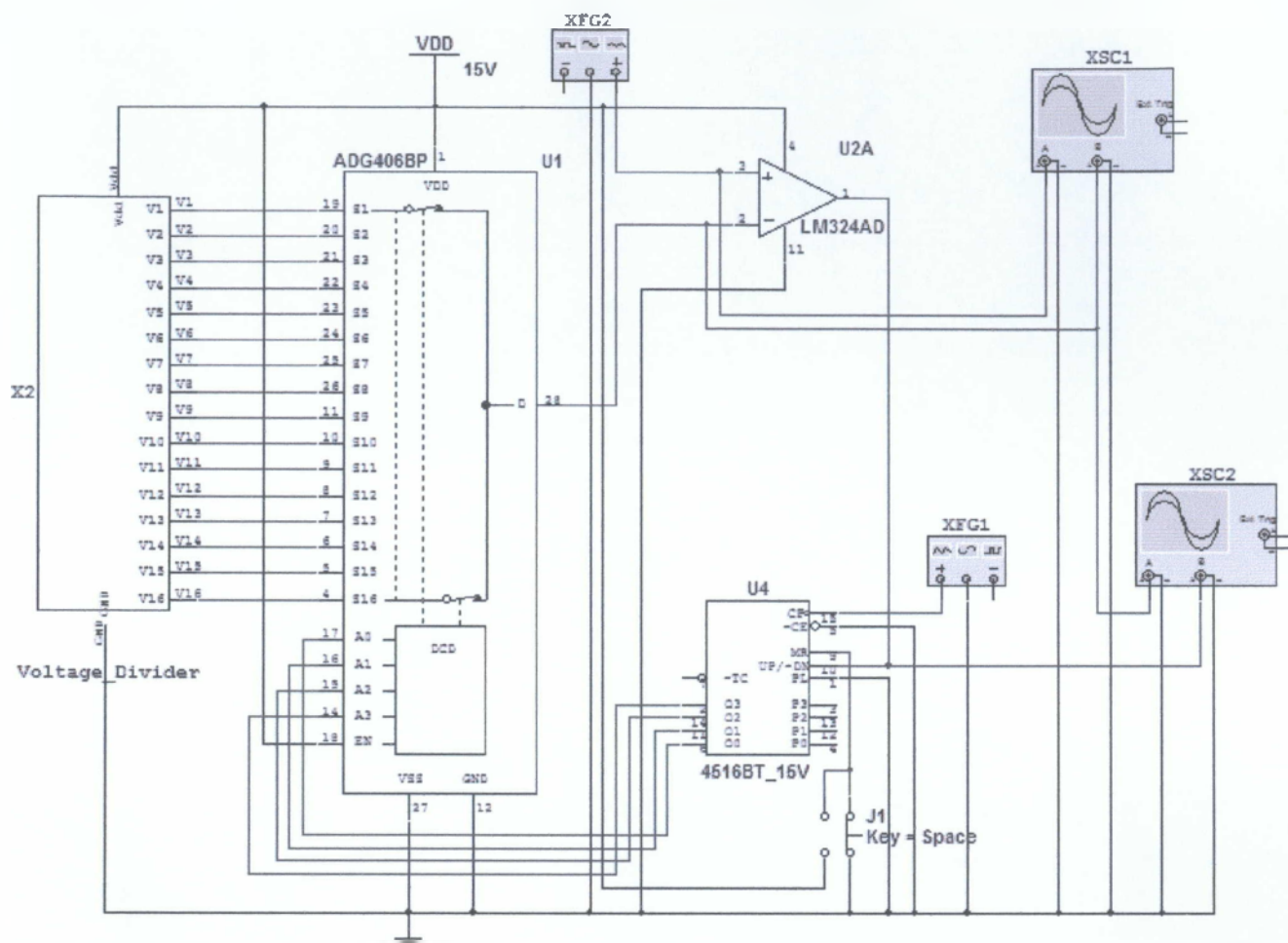
2.3.2 Τοπολογία Διαμορφωτή σε Επίπεδο Ηλεκτρονικών Εξαρτημάτων

Με αναφορά το διάγραμμα βαθμιδών του Διαμορφωτή Δέλτα το οποίο ήδη αναλύσαμε, προέκυψε το κυκλωματικό διάγραμμα που φαίνεται στο σχήμα της επόμενης σελίδας.

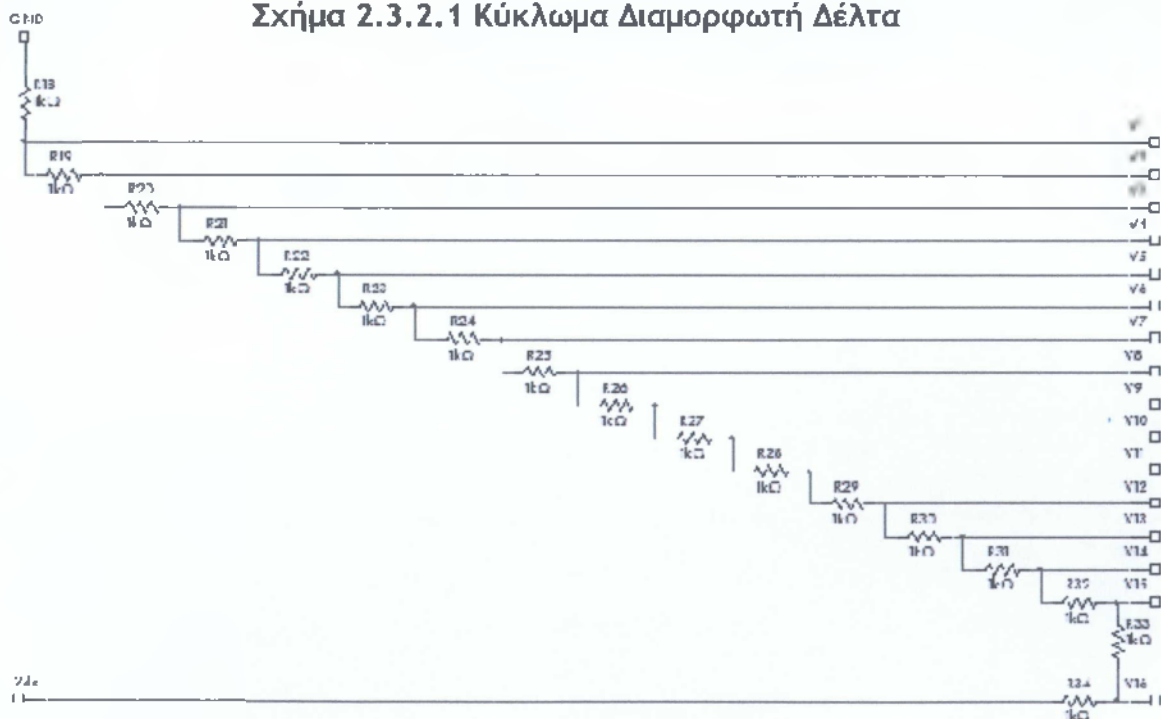
Χρησιμοποιήθηκε ο ολοκληρωμένος πολυπλέκτης 16/1 DG406, στις δεκαέξι εισόδους του οποίου τροφοδοτήσαμε τις βαθμίδες της κλιμακωτής τάσης Δέλτα μέσω του πολλαπλού διαιρέτη τάσης που σχηματίζει η συστοιχία των αντιστάσεων του 1kΩ. Η επιλογή της συγκεκριμένης τιμής για τις αντιστάσεις του διαιρέτη έγινε με κριτήριο αφενός τον περιορισμό της κατανάλωσης ισχύος του κυκλώματος και αφετέρου της ελαχιστοποίησης των χρόνων καθυστέρησης διάδοσης των αντίστοιχων εισόδων προς την έξοδο του πολυπλέκτη.

Το ρόλο του συγκριτή αναλαμβάνει ο τελεστικός ενισχυτής LM324 ο οποίος είναι απλής τροφοδοσίας και με χαμηλό offset τάσης. Τα χαρακτηριστικά αυτά εξασφαλίζουν τη μείωση της πολυπλοκότητας του κυκλώματος μιας και αφενός δεν απαιτείται η χρήση συμμετρικής τροφοδοσίας και αφετέρου δεν χρειάζεται πρόσθετη κυκλωμάτωση για την αντιστάθμιση του offset του τελεστικού ενισχυτή.

Τέλος, χρησιμοποιήθηκε ο απαριθμητής (counter) MC14029, επειδή διαθέτει την επιθυμητή δυνατότητα αμφίδρομης απαρίθμησης και μπορεί επίσης να λειτουργήσει με τις τάσεις που ορίσαμε στις προδιαγραφές του κυκλώματος.



Σχήμα 2.3.2.1 Κύκλωμα Διαμορφωτή Δέλτα

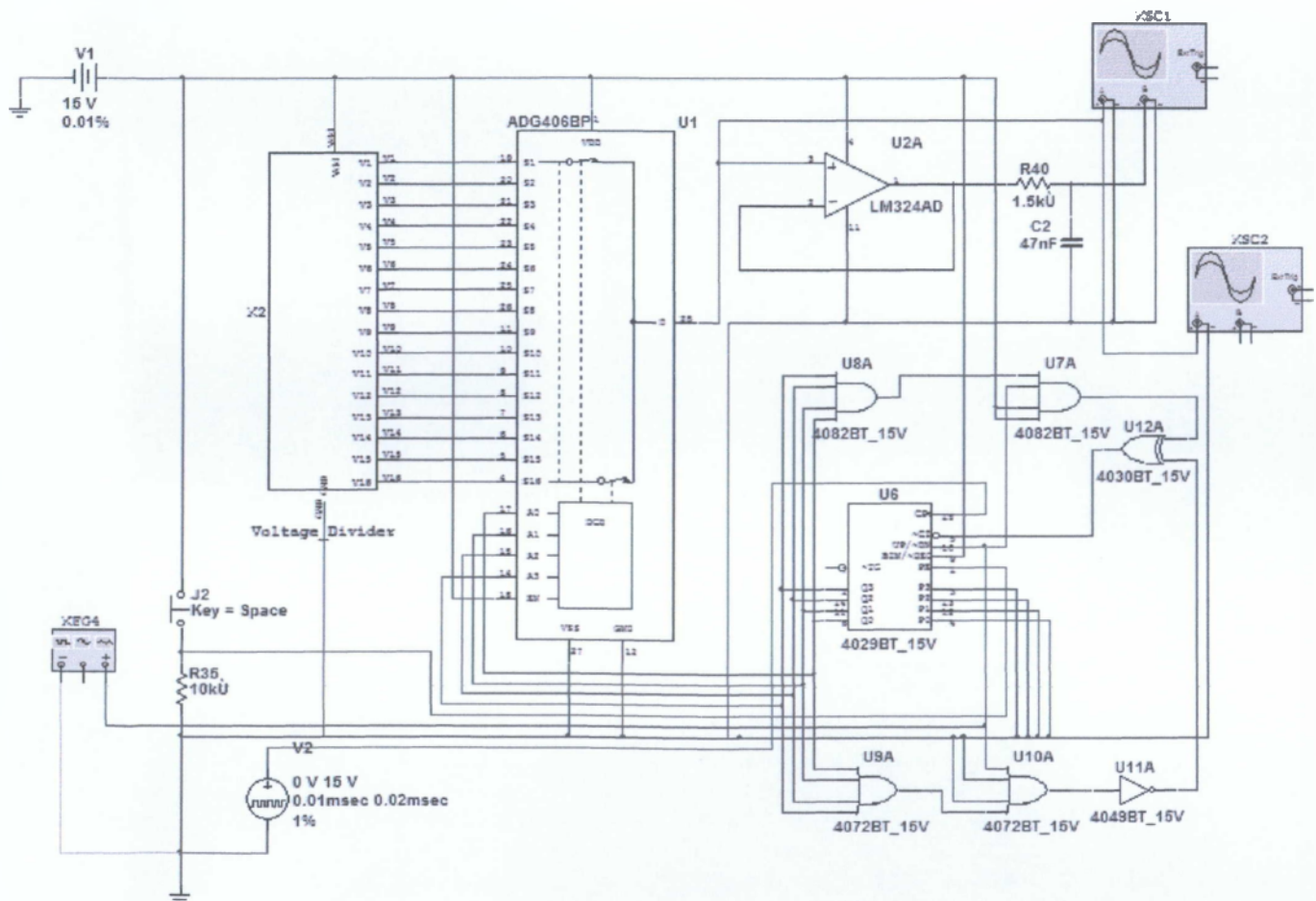


Σχήμα 2.3.2.2 Δομή Πολλαπλού Διαιρέτη Τάσης (Voltage_Divider)

2.3.3 Τοπολογία Αποδιαμορφωτή σε Επίπεδο Ηλεκτρονικών Εξαρτημάτων

Με αναφορά το διάγραμμα βαθμιδών του Αποδιαμορφωτή Δέλτα το οποίο ήδη αναλύσαμε, προέκυψε το κυκλωματικό διάγραμμα που φαίνεται στο επόμενο σχήμα.

Η βαθμίδα παραγωγής της κλιμακωτής τάσης Δέλτα, υλοποιήθηκε όπως ακριβώς η αντίστοιχη βαθμίδα του διαμορφωτή. Χρησιμοποιήθηκε, δηλαδή, ο ολοκληρωμένος πολυπλέκτης 16/1 DG406, στις δεκαέξι εισόδους του οποίου τροφοδοτούνται οι βαθμίδες της κλιμακωτής τάσης Δέλτα μέσω του πολλαπλού διαιρέτη τάσης που σχηματίζει η συστοιχία των αντιστάσεων του 1kΩ. Η βαθμίδα αυτή τροφοδοτείται απευθείας από το ψηφιακό σήμα στην είσοδο του συστήματος.



Σχήμα 2.3.3.1 Κύκλωμα Αποδιαμορφωτή Δέλτα

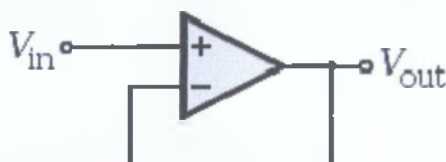
Κατά τη διάρκεια της διαδικασίας ελέγχου του πρωτοτύπου -που θα αναλυθεί σε επόμενη παράγραφο- κρίθηκε αναγκαία η παρεμβολή μεταξύ

του φίλτρου εξόδου και της βαθμίδας παραγωγής του σήματος Δέλτα κυκλώματος απομονωτή, το οποίο υλοποιεί ο τελεστικός ενισχυτής σε μη αναστρέφουσα συνδεσμολογία. Η επιλογή αυτή έγινε για να επιτευχθεί η απαραίτητη προσαρμογή αντιστάσεων μεταξύ των δύο βαθμίδων. Στη συνέχεια θα εξηγήσουμε αναλυτικά τη σχεδίαση του απομονωτή και του φίλτρου. Επιπλέον, χρησιμοποιήθηκε πρόσθετη κυκλωμάτωση με ψηφιακές λογικές πύλες, ώστε ο απαριθμητής 4029 να παύσει να μετρά στα όρια της μέγιστης και της ελάχιστης τιμής του, όπως θα εξηγηθεί στη συνέχεια.

2.3.3.1 Σχεδίαση Απομονωτή.

Στη σχεδίαση του Απομονωτή χρησιμοποιήθηκε μη αναστρέφουσα τοπολογία με τελεστικό ενισχυτή (Επελέγη ο LM324 λόγω της απλής τροφοδοσίας που απαιτεί και του χαμηλού offset, όπως αναφέραμε και σε προηγούμενη παράγραφο).

Κρίσιμοι παράγοντες για την επιλογή τοπολογίας τελεστικού ενισχυτή υπήρξαν η απλή υλοποίηση, η μεγάλη αντίσταση εισόδου και η μικρή αντίσταση εξόδου.

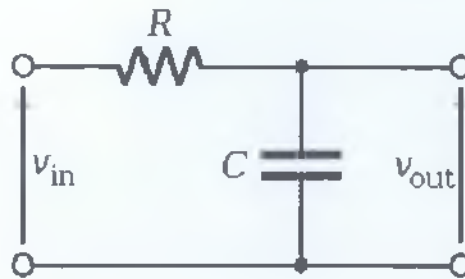


Σχήμα 2.3.3.1.1 Τοπολογία μη Αναστρέφοντα Απομονωτή

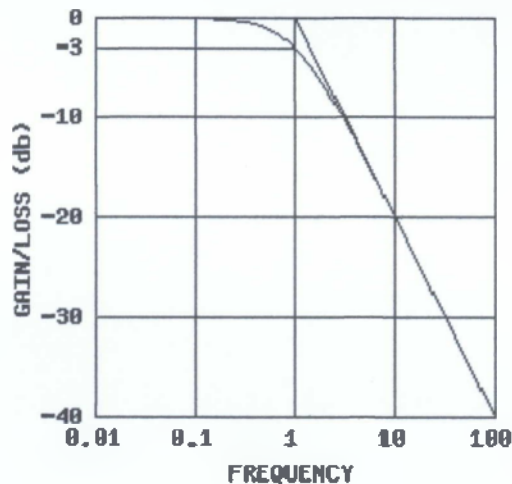
Αν λάβει κανείς υπόψη του το γεγονός ότι σε έναν ιδανικό τελεστικό ενισχυτή οι τάσεις των δύο εισόδων ταυτίζονται, καθώς επίσης πως το ρεύμα που απορροφά καθενιά είναι μηδενικό, γίνεται φανερό πως οι τιμές των τάσεων εισόδου και εξόδου ταυτίζονται ενώ η αντίσταση εισόδου είναι θεωρητικά άπειρη.

2.3.3.2 Σχεδίαση Φίλτρου.

Ως φίλτρο εξόδου του Αποδιαμορφωτή χρησιμοποιήθηκε ένα απλό χαμηλοπερατό (LPF) φίλτρο RC πρώτης τάξης. Παρόλο που ένα τέτοιο φίλτρο δεν είναι η βέλτιστη δυνατή επιλογή (η κλίση της καμπύλης απόκρισής του είναι μικρή - Βλπ Σχήμα 2.3.3.2.2), προτιμήθηκε για λόγους απλής κυκλωματικής υλοποίησης και εύκολης αναγνωσιμότητας της τοπολογίας.



Σχήμα 2.3.3.2.1 Τοπολογία Απλού Φίλτρου RC πρώτης τάξης



Σχήμα 2.3.3.2.2 Τυπική Καμπύλη Απόκρισης Απλού Φίλτρου RC Πρώτης Τάξης

Η επιλογή των τιμών των εξαρτημάτων του φίλτρου αυτού, προκειμένου να επιτευχθεί η επιθυμητή συχνότητα αποκοπής γίνεται με βάση την ακόλουθη ανάλυση:

Από τον διαιρέτη τάσης που σχηματίζει η αντίσταση και ο πυκνωτής προκύπτει η ακόλουθη σχέση μεταξύ των τάσεων εισόδου και εξόδου (λαμβάνοντας υπόψη τις μιγαδικές αντιστάσεις):

$$V_{out} = \frac{\frac{1}{C\omega j}}{R + \frac{1}{C\omega j}} V_{in}$$

(όπου ω η κυκλική συχνότητα του σήματος και j η φανταστική μονάδα)

και άρα η απόσβεση του σήματος στην έξοδο του φίλτρου θα είναι

$$A = \frac{V_{out}}{V_{in}} = \frac{\frac{1}{C\omega j}}{R + \frac{1}{C\omega j}} = \frac{1}{1 + RC\omega j}$$

και κατά μέτρο:

$$|A| = \frac{1}{|1 + RC\omega j|}$$

ή

$$|A| = \frac{1}{\sqrt{1 + (RC\omega)^2}}$$

και ισοδύναμα:

$$|A| = \frac{1}{\sqrt{1 + (2\pi fRC)^2}}$$

(όπου f η συχνότητα του σήματος)

Δεδομένου πως στη συχνότητα αποκοπής ενός φίλτρου η ισχύς του σήματος εξόδου ισούται εξ ορισμού με το ήμισυ της ισχύος του σήματος εισόδου, και αν ληφθεί υπόψη πως η ισχύς του σήματος είναι ανάλογη του τετραγώνου του πλάτους του, τότε για τη συχνότητα αποκοπής (cut-off frequency) f_c του φίλτρου που εξετάζουμε θα ισχύει:

$$|A|^2 = \frac{1}{1 + (2\pi f_c RC)^2} = \frac{1}{2}$$

Επιλύοντας την πιο πάνω σχέση ως προς τη συχνότητα αποκοπής προκύπτει πως

$$f_c = \frac{1}{2\pi RC}$$

και αν λύσουμε ως προς την τιμή της αντίστασης:

$$R = \frac{1}{2\pi f_c C}$$

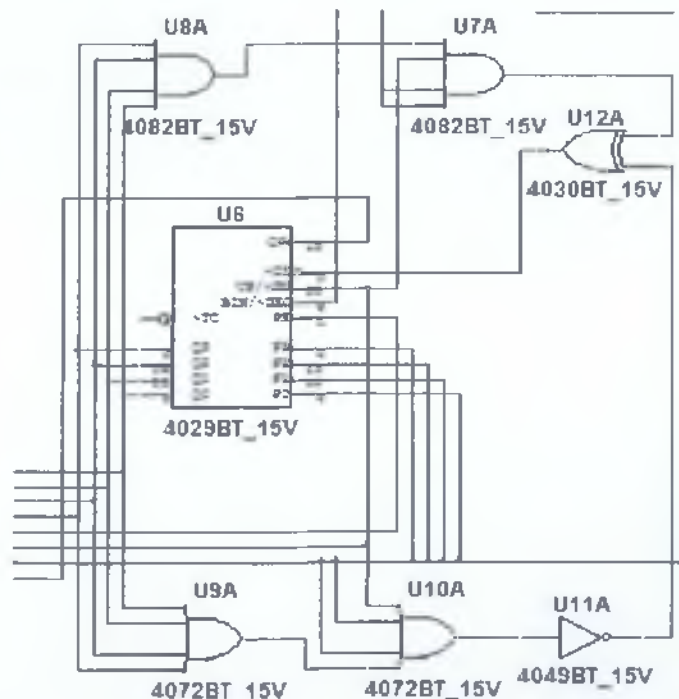
Αν επιλέξουμε πυκνωτή χωρητικότητας $C=47\text{nF}$, και λαμβάνοντας υπόψη πως οι προδιαγραφές του κυκλώματος επιβάλλουν σήμα εξόδου εύρους ζώνης μεταξύ 1kHz και 4kHz, η προηγούμενη σχέση δίνει $R=3.3\text{k}\Omega$ και $R=820\Omega$, αντίστοιχα.

Προκειμένου η συχνότητα αποκοπής του φίλτρου να μπορεί να προσαρμόζεται στη μέγιστη συχνότητα του σήματος, χρησιμοποιήθηκε γραμμική μεταβλητή αντίσταση (trimmer) ονομαστικής τιμής 10k Ω , η οποία υπερκαλύπτει τις τιμές που υπολογίστηκαν πιο πάνω.

2.3.3.3 Τροποποίηση Συμπεριφοράς Απαριθμητή 4029.

Κατά το λειτουργικό έλεγχο των πρωτοτύπων διαπιστώθηκε πρόβλημα στη συμπεριφορά του απαριθμητή 4029. Συγκεκριμένα, ο απαριθμητής αυτός - όπως φαίνεται και από το σχετικό φύλλο δεδομένων στα Παραρτήματα - φθάνοντας στη μέγιστη τιμή του επιστρέφει στην ελάχιστη συνεχίζοντας την απαρίθμηση, και αντίστροφα.

Το γεγονός αυτό προκαλεί πρόβλημα στη λειτουργία του αποδιαμορφωτή όταν ο απαριθμητής δεν είναι σε απόλυτο συγχρονισμό με το αντίστοιχο στοιχείο του διαμορφωτή, παρά την πρόβλεψη για διακόπτη RESET. Για το λόγο αυτό χρειάστηκε να γίνει χρήση των κατάλληλων λογικών πυλών ώστε να απαγορευθεί η «κυκλική» απαρίθμηση.



Σχήμα 2.3.3.3.1 Τροποποίηση της Λειτουργίας του Απαριθμητή 4029

Η τροποποίηση εξασφαλίζει τα εξής:

Όταν οι έξοδοι Q_i έχουν όλες τιμή 1 και η είσοδος UP/~DN επίσης, τότε ο συνδυασμός των U7A και U8A παρέχει 1, ενώ ο συνδυασμός των U9A, U10A και U11A παρέχει 0, με συνέπεια η U12A να παρέχει 1 στην είσοδο -CI, σηματοδοτώντας παύση της απαρίθμησης.

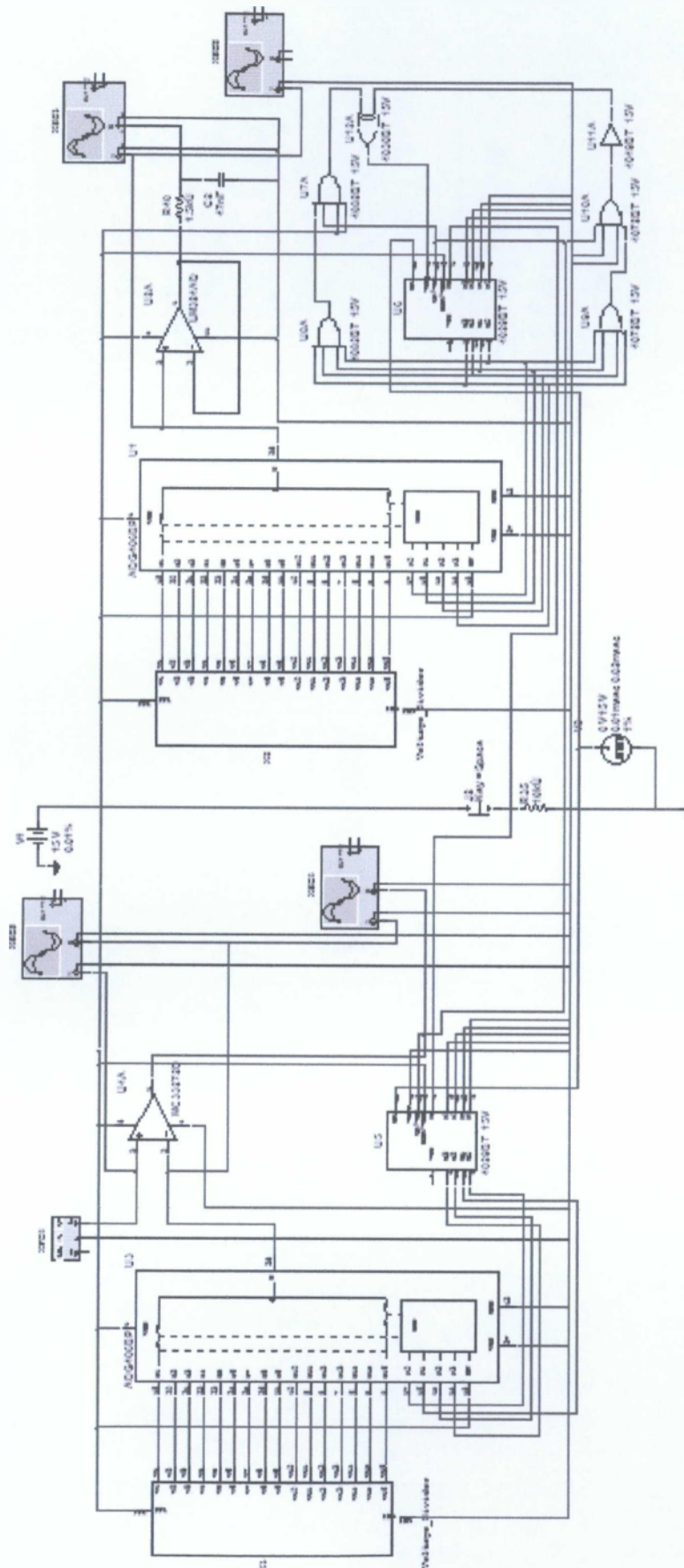
Το ίδιο συμβαίνει όταν οι έξοδοι Q_i και η είσοδος UP/~DN έχουν την τιμή 0. Σε κάθε άλλη περίπτωση η U12A παρέχει 0 στην είσοδο -CI και η απαρίθμηση συνεχίζεται κανονικά.

2.4 Προσομοίωση

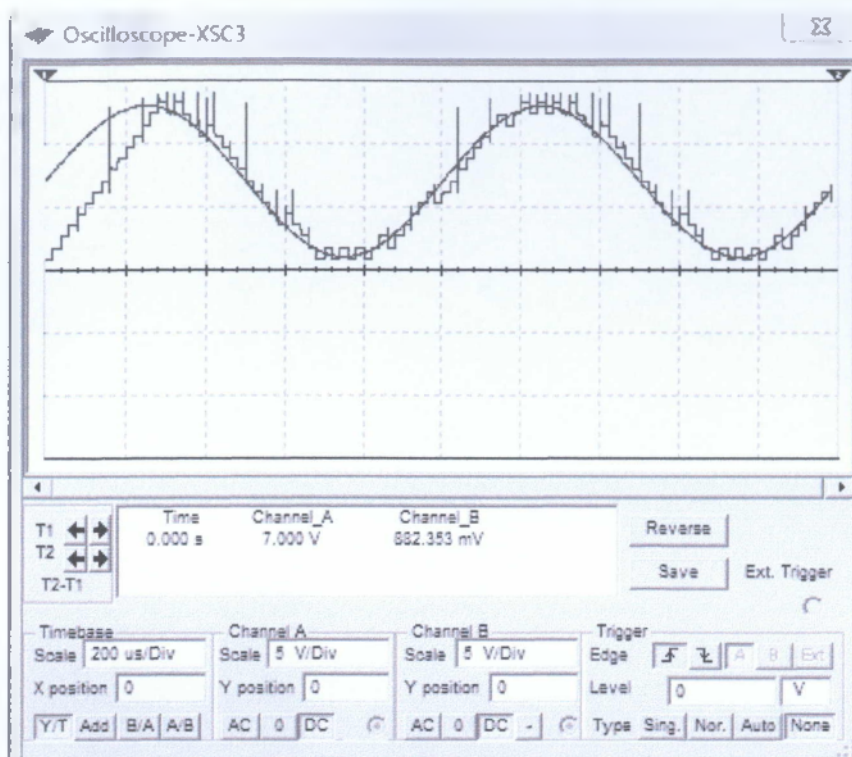
Θα παρουσιάσουμε εδώ τα αποτελέσματα της προσομοίωσης της συνολικής ζεύξης (Διαμορφωτή - Αποδιαμορφωτή). Στην πραγματικότητα η διαδικασία των προσομοιώσεων έγινε σε πολλά στάδια, αρχικά ανεξάρτητα για τον διαμορφωτή και τον αποδιαμορφωτή και στη συνέχεια σε άμεση διασύνδεση, μέχρι να επιτευχθεί η επιθυμητή λειτουργικότητα.

Στο σχήμα 2.4.1 φαίνεται το σχηματικό διάγραμμα που χρησιμοποιήθηκε στην προσομοίωση, ενώ στα σχήματα 2.4.2 - 2.4.5 φαίνονται χαρακτηριστικά αποτελέσματα των προσομοιώσεων. Ως σήμα εισόδου χρησιμοποιήθηκε η ημιτονική κυματομορφή συχνότητας 1kHz, πλάτους 6V με DC offset 7V του σχήματος 2.4.2. Στο ίδιο σχήμα φαίνεται και η κλιμακωτή τάση Δέλτα του διαμορφωτή, όπου είναι φανερό το πρόβλημα της υπερφόρτωσης κλίσης στο αρχικό στάδιο λειτουργίας. Στο σχήμα 2.4.3 φαίνεται η αντίστοιχη τάση Δέλτα στον αποδιαμορφωτή, από την εξομάλυνση της οποίας προκύπτει το (αναλογικό) σήμα εξόδου το οποίο προσεγγίζει αρκετά καλά το σήμα στην είσοδο του διαμορφωτή.

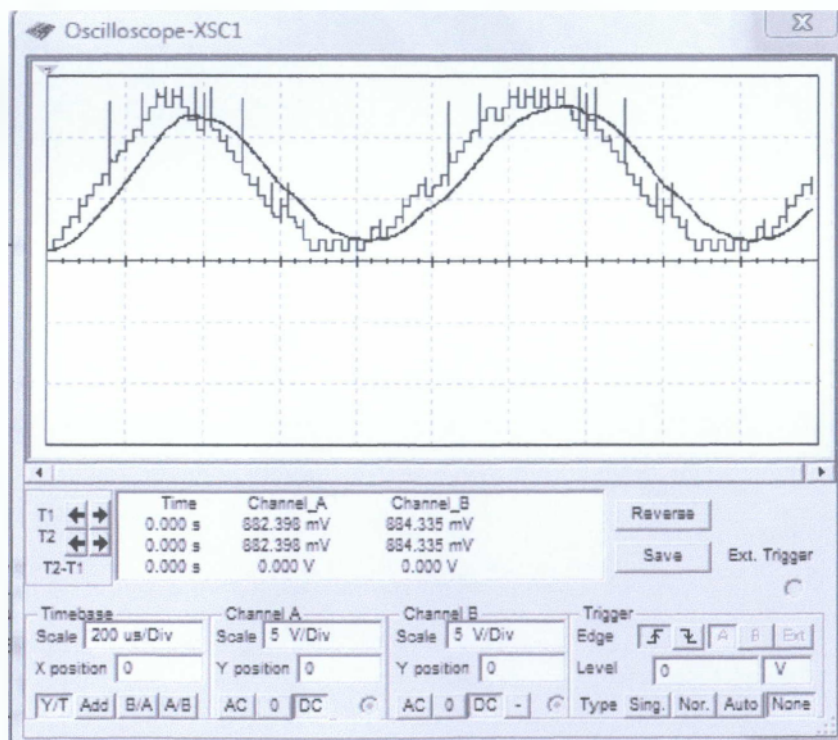
Στα σχήματα 2.4.4 και 2.4.5 φαίνονται κατ' αντιστοιχία τα αποτελέσματα στην περίπτωση που το σήμα εισόδου υπερβαίνει κατά πλάτος τις τιμές των προδιαγραφών. Πέραν της ψαλίδισης του σήματος στην έξοδο, παρατηρεί κανείς το πρόβλημα της κυκλικής απαρίθμησης στο ολοκληρωμένο 4029 του διαμορφωτή, το οποίο όμως αντιμετωπίζεται επιτυχώς με την πρόσθετη κυκλωμάτωση που προβλέφθηκε στον αποδιαμορφωτή.



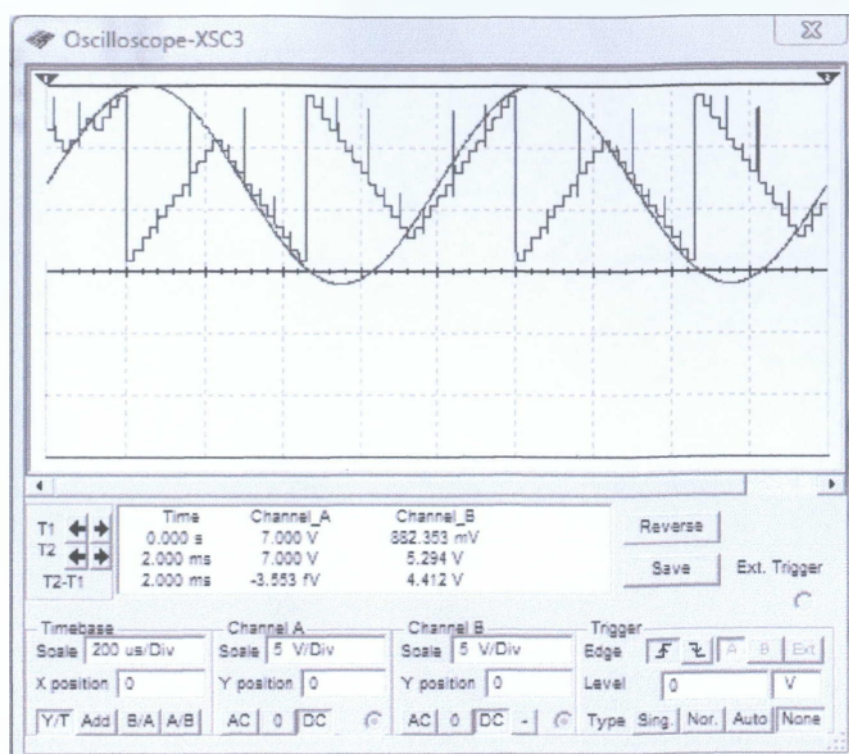
Σχήμα 2.4.1 Σχηματικό Διάγραμμα Προσομοίωσης



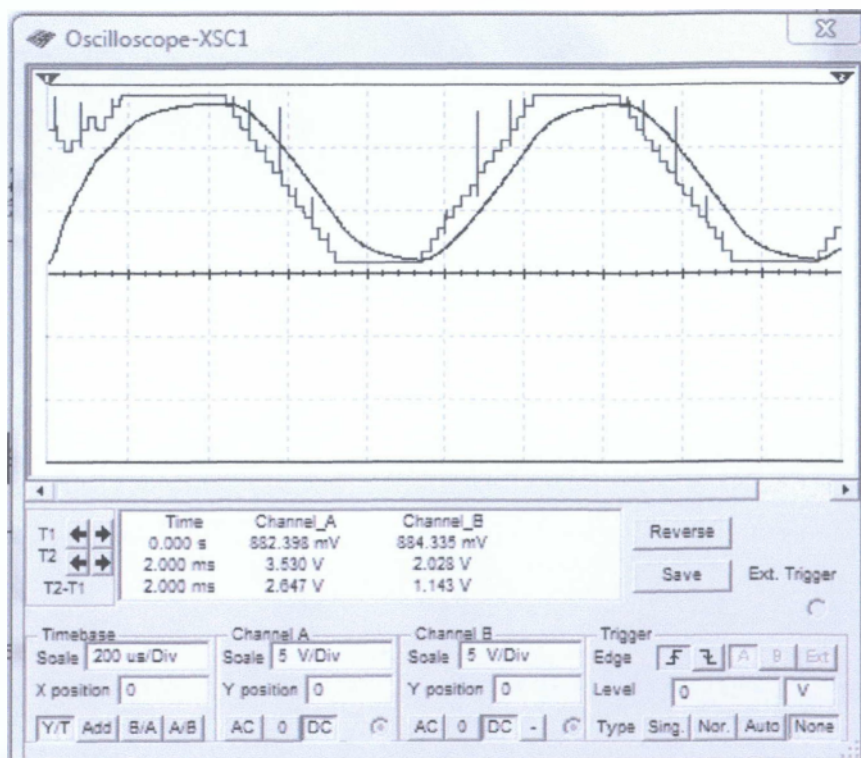
Σχήμα 2.4.2 Σήμα Εισόδου και Τάση Δέλτα Διαμορφωτή (Προσομοίωση Κανονικής Λειτουργίας)



Σχήμα 2.4.3 Σήμα Εξόδου και Τάση Δέλτα Αποδιαμορφωτή (Προσομοίωση Κανονικής Λειτουργίας)

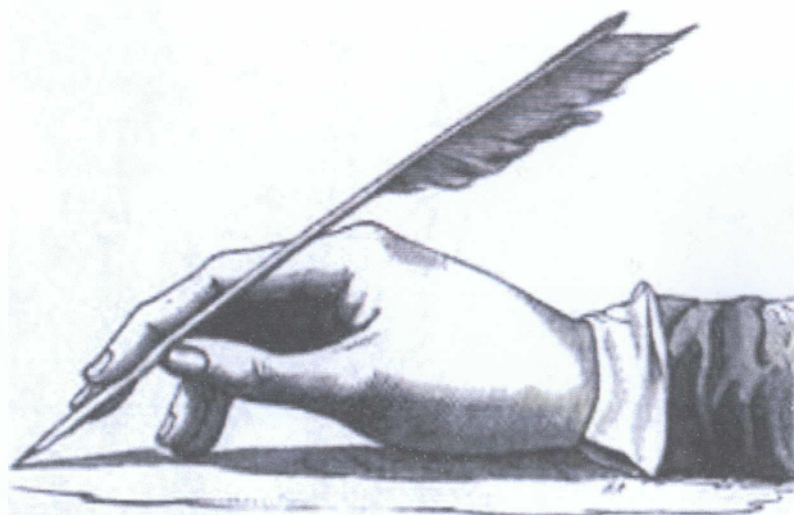


Σχήμα 2.4.4 Σήμα Εισόδου και Τάση Δέλτα Διαμορφωτή (Προσομοίωση Μη Επιτρεπτής Λειτουργίας)



Σχήμα 2.4.5 Σήμα Εισόδου και Τάση Δέλτα Διαμορφωτή (Προσομοίωση Μη Επιτρεπτής Λειτουργίας)

3. ΣΥΜΠΕΡΑΣΜΑΤΑ



3. Συμπεράσματα

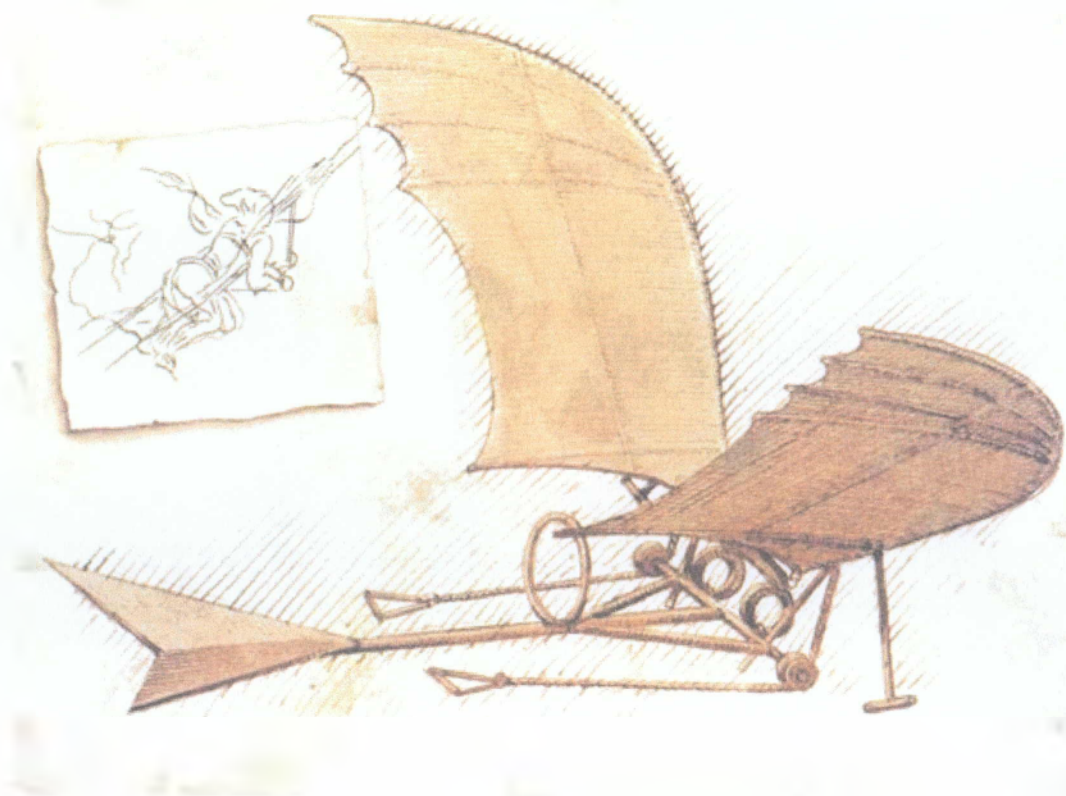
Στην εργασία αυτή σχεδιάστηκαν και κατασκευάστηκαν κυκλώματα Διαμορφωτή και Αποδιαμορφωτή Δέλτα για εργαστηριακή χρήση. Η πολυπλοκότητα της σχεδίασης υπήρξε σχετικά περιορισμένη, όπως και αναμενόταν, το δε κόστος αρκετά μικρό (βλπ σχετικό Παράρτημα). Το γεγονός αυτό θα μπορούσε να αξιοποιηθεί με την κατασκευή ικανού αριθμού πανομοιότυπων, ώστε να εξασφαλίζεται η ταυτόχρονη άσκηση ομάδων σπουδαστών στο εργαστήριο Ηλεκτρονικής. Επιπλέον, η αντοχή των κυκλωμάτων αναμένεται να είναι μεγάλη εξαιτίας του τρόπου συναρμολόγησης και προστασίας τους, η δε συντήρησή τους είναι εξαιρετικά απλή μιας και η αντικατάσταση των ολοκληρωμένων κυκλωμάτων γίνεται εύκολα (χωρίς επανασυγκόλληση) αφού προβλέφθηκε η τοποθέτησή τους πάνω σε ειδικές βάσεις.

Τα μαθήματα του τρέχοντος προγράμματος σπουδών του Τμήματός μας που μπορούν να αξιοποιήσουν την κατασκευή είναι τα «Τηλεπικοινωνιακά Συστήματα Ι και ΙΙ» (σε επίπεδο εργαστηριακής άσκησης) και το «Αρχές Τηλεπικοινωνιών» (σε επίπεδο απλής επίδειξης).

Από τεχνικής άποψης, μελλοντικές βελτιώσεις θα μπορούσαν να περιλαμβάνουν την ενσωμάτωση κυκλωμάτων προστασίας από υπερτροφοδότηση, την πρόβλεψη ενδείκτη υπερφόρτωσης κλίσης (με τη χρήση LED) κ.λπ.

Τέλος, από εκπαιδευτικής άποψης, θα μπορούσε να συνταχθεί φυλλάδιο εργαστηριακών οδηγιών και σχετικό φύλλο εργασίας τα οποία, μέσω των ενδεδειγμένων ερωτήσεων, να επιτυγχάνουν στο μεγαλύτερο δυνατό βαθμό την αξιοποίηση της κατασκευής καθώς και τη μεγιστοποίηση του οφέλους που θα μπορούσαν να αποκομίσουν από αυτήν οι ασκούμενοι.

4. ΠΑΡΑΡΤΗΜΑΤΑ



4.1 Πίνακας Εξαρτημάτων

Στους παρακάτω πίνακες φαίνεται αναλυτικά οι τύποι και το κόστος των εξαρτημάτων που χρησιμοποιήσαμε στις κατασκευές μας.

4.1.1 Πίνακας Εξαρτημάτων Διαμορφωτή

ΤΥΠΟΣ	ΠΟΣΟΤΗΤΑ (Τεμάχια)
Αντιστάτης 1kΩ/0.5W	18
Αντιστάτης 10kΩ/0.5W	1
IC LM393	1
IC DG406	1
IC 4029	1
Βάση IC DTP 24 PIN	1
Βάση IC DTP 16 PIN	1
Βάση IC DTP 14 PIN	1
Φωτοευαίσθητη πλακέτα	1
Λοιπά	-

4.1.2 Πίνακας Εξαρτημάτων Αποδιαμορφωτή

ΤΥΠΟΣ	ΠΟΣΟΤΗΤΑ (Τεμάχια)
Αντιστάτης 1kΩ/0.5W	18
Αντιστάτης 10kΩ/0.5W	1
Ποτενσιόμετρο 10kΩ	1
Πυκνωτής 47nF	1
IC LM393	1
IC DG406	1
IC 4029	1
IC LM324	1
IC 4030	1
IC 4049	1
IC 4072	1
IC 4082	1
Βάση IC DTP 24 PIN	1
Βάση IC DTP 16 PIN	1
Βάση IC DTP 14 PIN	5
Φωτοευαίσθητη πλακέτα	1
Λοιπά	-

4.2 Τεχνικά Χαρακτηριστικά Κυκλωμάτων

4.2.1 Τεχνικά Χαρακτηριστικά Διαμορφωτή

ΜΕΓΕΘΟΣ	ΤΥΠΙΚΗ ΤΙΜΗ		ΜΟΝΑΔΑ
	MIN	MAX	
Τάση Τροφοδοσίας	+14	+15	V
Στάθμες Κλιμακωτής Τάσης	16	16	-
Εύρος Αναλογικού Σήματος	+2	+13	V
Λογική Στάθμη L Σήματος Ρολογιού	0	+2	V
Λογική Στάθμη H Σήματος Ρολογιού	+12	+14	V
Λογική Στάθμη L Σήματος Εξόδου	0	+2	V
Λογική Στάθμη H Σήματος Εξόδου	+12	+14	V
Συχνότητα Σήματος Εισόδου	500	4000	Hz
Συχνότητα Ρολογιού	20	100	kHz
Κατανάλωση Ισχύος	80	100	mW

4.2.2 Τεχνικά Χαρακτηριστικά Αποδιαμορφωτή

ΜΕΓΕΘΟΣ	ΤΥΠΙΚΗ ΤΙΜΗ		ΜΟΝΑΔΑ
	MIN	MAX	
Τάση Τροφοδοσίας	+14	+15	V
Στάθμες Κλιμακωτής Τάσης	16	16	-
Εύρος Αναλογικού Σήματος (*)	-	-	V
Λογική Στάθμη L Σήματος Ρολογιού	0	+2	V
Λογική Στάθμη H Σήματος Ρολογιού	+12	+14	V
Λογική Στάθμη L Σήματος Εισόδου	0	+2	V
Λογική Στάθμη H Σήματος Εισόδου	+12	+14	V
Συχνότητα Σήματος Εισόδου	20	100	Hz
Συχνότητα Ρολογιού	20	100	kHz
Κατανάλωση Ισχύος	80	100	mW

(*) Εξαρτάται από τη ρύθμιση του φίλτρου εξόδου.

4.4 Φύλλα Δεδομένων (Datasheets)



www.fairchildsemi.com

LM2902, LM324/LM324A, LM224/ LM224A

Quad Operational Amplifier

Features

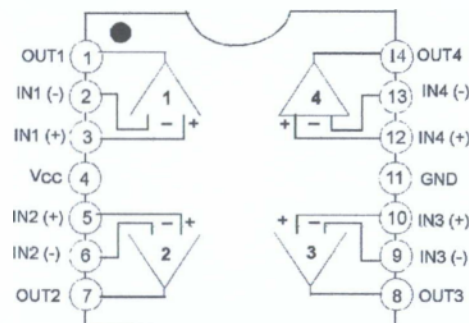
- Internally Frequency Compensated for Unity Gain
- Large DC Voltage Gain: 100dB
- Wide Power Supply Range:
LM224/LM224A, LM324/LM324A: 3V-32V (or ± 1.5 - 15V)
LM2902: 3V-26V (or ± 1.5 - 13V)
- Input Common Mode Voltage Range Includes Ground
- Large Output Voltage Swing: 0V to $V_{CC} - 1.5$ V
- Power Drain Suitable for Battery Operation

Description

The LM324/LM324A, LM2902, LM224/LM224A consist of four independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide voltage range. Operation from split power supplies is also possible so long as the difference between the two supplies is 3 volts to 32 volts. Application areas include transducer amplifier, DC gain blocks and all the conventional OP-AMP circuits which now can be easily implemented in single power supply systems.



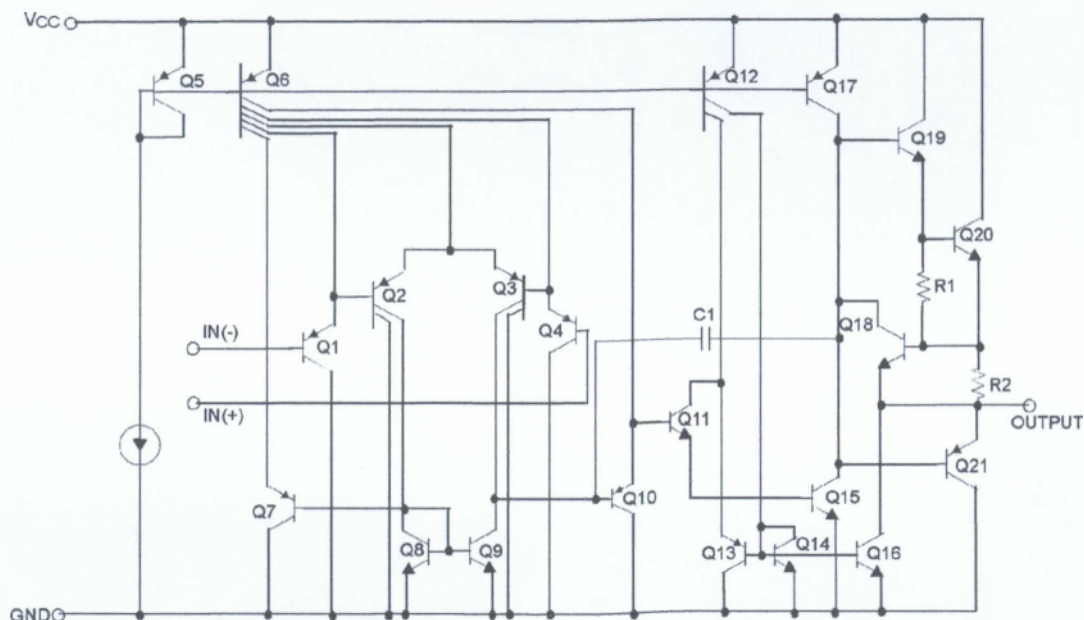
Internal Block Diagram



LM2902, LM324/LM324A, LM224/LM224A

Schematic Diagram

(One Section Only)



Absolute Maximum Ratings

Parameter	Symbol	LM224/LM224A	LM324/LM324A	LM2902	Unit
Power Supply Voltage	VCC	±16 or 32	±16 or 32	±13 or 26	V
Differential Input Voltage	V _{I(DIFF)}	32	32	26	V
Input Voltage	V _I	-0.3 to +32	-0.3 to +32	-0.3 to +26	V
Output Short Circuit to GND V _{CC} ≤ 15V, T _A = 25°C (one Amp)	-	Continuous	Continuous	Continuous	-
Power Dissipation, T _A = 25°C	P _D	1310 640	1310 640	1310 640	mW
Operating Temperature Range	T _{OPR}	-25 ~ +85	0 ~ +70	-40 ~ +85	°C
Storage Temperature Range	T _{STG}	-65 ~ +150	-65 ~ +150	-65 ~ +150	°C

Thermal Data

Parameter	Symbol	Value	Unit
Thermal Resistance Junction-Ambient Max.	R _{θja}	95 195	°C/W
14-DIP		95	
14-SOP		195	

Electrical Characteristics

(VCC = 5.0V, VEE = GND, TA = 25 °C, unless otherwise specified)

Parameter	Symbol	Conditions	LM224			LM324			LM2902			Unit	
			Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.		
Input Offset Voltage	V _{IO}	V _{CM} = 0V to V _{CC} -1.5V V _{O(P)} = 1.4V, R _S = 0Ω	-	1.5	5.0	-	1.5	7.0	-	1.5	7.0	mV	
Input Offset Current	I _{IO}	-	-	2.0	30	-	3.0	50	-	3.0	50	nA	
Input Bias Current	I _{BIAS}	-	-	40	150	-	40	250	-	40	250	nA	
Common-Mode Input Voltage Range	V _{I(R)}	Note1	0	-	V _{CC} -1.5	0	V _{CC} -1.5	-	0	-	V _{CC} -1.5	V	
Supply Current	I _{CC}	R _L = ∞, V _{CC} = 30V (all Amps)	-	1.0	3	-	1.0	3	-	1.0	3	mA	
		R _L = ∞, V _{CC} = 5V (all Amps) (V _{CC} = 26V for LM2902)	-	0.7	1.2	-	0.7	1.2	-	0.7	1.2	mA	
Large Signal Voltage Gain	G _V	V _{CC} = 15V, R _L > 2KΩ V _{O(P)} = 1V to 11V	50	100	-	25	100	-	-	100	-	V/ mV	
Output Voltage Swing	V _{O(H)}	Note1	R _L = 2KΩ	26	-	-	26	-	-	22	-	-	V
			R _L = 10KΩ	27	28	-	27	28	-	23	24	-	V
	V _{O(L)}	V _{CC} = 5V, R _L > 10KΩ	-	5	20	-	5	20	-	5	100	mV	
Common-Mode Rejection Ratio	CMRR	-	70	85	-	65	75	-	50	75	-	dB	
Power Supply Rejection Ratio	PSRR	-	65	100	-	65	100	-	50	100	-	dB	
Channel Separation	CS	f = 1KHz to 20KHz	-	120	-	-	120	-	-	120	-	dB	
Short Circuit to GND	I _{SC}	-	-	40	60	-	40	60	-	40	60	mA	
Output Current	I _{SOURCE}	V _{I(+)} = 1V, V _{I(-)} = 0V V _{CC} = 15V, V _{O(P)} = 2V	20	40	-	20	40	-	20	40	-	mA	
		V _{I(+)} = 0V, V _{I(-)} = 1V V _{CC} = 15V, V _{O(P)} = 2V	10	13	-	10	13	-	10	13	-	mA	
	I _{SINK}	V _{I(+)} = 0V, V _{I(-)} = 1V V _{CC} = 15V, V _{O(R)} = 200mV	12	45	-	12	45	-	-	-	-	μA	
Differential Input Voltage	V _{I(DIFF)}	-	-	-	V _{CC}	-	-	V _{CC}	-	-	V _{CC}	V	

Note :

1. V_{CC} = 30V for LM224 and LM324, V_{CC} = 26V for LM2902

LM2902, LM324/LM324A, LM224/LM224A

Electrical Characteristics (Continued)

(VCC = 5.0V, VEE = GND, unless otherwise specified)

The following specifications apply over the range of $-25^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for the LM224; and the $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$ for the LM324; and the $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for the LM2902

Parameter	Symbol	Conditions	LM224			LM324			LM2902			Unit	
			Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.		
Input Offset Voltage	V_{IO}	$V_{ICM} = 0\text{V to } V_{CC} - 1.5\text{V}$ $V_{O(P)} = 1.4\text{V}$, $R_S = 0\Omega$	-	-	7.0	-	-	9.0	-	-	10.0	mV	
Input Offset Voltage Drift	$\Delta V_{IO}/\Delta T$	-	-	7.0	-	-	7.0	-	-	7.0	-	$\mu\text{V}/^{\circ}\text{C}$	
Input Offset Current	I_{IO}	-	-	-	100	-	-	150	-	-	200	nA	
Input Offset Current Drift	$\Delta I_{IO}/\Delta T$	-	-	10	-	-	10	-	-	10	-	$\mu\text{A}/^{\circ}\text{C}$	
Input Bias Current	I_{BIAS}	-	-	-	300	-	-	500	-	-	500	nA	
Common-Mode Input Voltage Range	$V_{I(R)}$	Note1	0	-	$V_{CC} - 2.0$	0	-	$V_{CC} - 2.0$	0	-	$V_{CC} - 2.0$	V	
Large Signal Voltage Gain	G_V	$V_{CC} = 15\text{V}$, $R_L \geq 2.0\text{K}\Omega$ $V_{O(P)} = 1\text{V to } 11\text{V}$	25	-	-	15	-	-	15	-	-	V/mV	
Output Voltage Swing	$V_{O(H)}$	Note1	$R_L = 2\text{K}\Omega$	26	-	-	26	-	-	22	-	-	V
			$R_L = 10\text{K}\Omega$	27	28	-	27	28	-	23	24	-	V
	$V_{O(L)}$	$V_{CC} = 5\text{V}$, $R_L > 10\text{K}\Omega$	-	5	20	-	5	20	-	5	100	mV	
Output Current	ISOURCE	$V_{I(+)} = 1\text{V}$, $V_{I(-)} = 0\text{V}$ $V_{CC} = 15\text{V}$, $V_{O(P)} = 2\text{V}$	10	20	-	10	20	-	10	20	-	mA	
	ISINK	$V_{I(+)} = 0\text{V}$, $V_{I(-)} = 1\text{V}$ $V_{CC} = 15\text{V}$, $V_{O(P)} = 2\text{V}$	10	13	-	5	8	-	5	8	-	mA	
Differential Input Voltage	$V_{I(DIFF)}$	-	-	-	V_{CC}	-	-	V_{CC}	-	-	V_{CC}	V	

Note:1. $V_{CC} = 30\text{V}$ for LM224 and LM324, $V_{CC} = 26\text{V}$ for LM2902

Electrical Characteristics (Continued)

(VCC = 5.0V, VEE = GND, TA = 25°C, unless otherwise specified)

Parameter	Symbol	Conditions	LM224A			LM324A			Unit
			Min.	Typ.	Max.	Min.	Typ.	Max.	
Input Offset Voltage	V _{IO}	V _{CM} = 0V to V _{CC} -1.5V V _{O(P)} = 1.4V, R _S = 0 Ω	-	1.0	3.0	-	1.5	3.0	mV
Input Offset Current	I _{IO}	-	-	2	15	-	3.0	30	nA
Input Bias Current	I _{BIAS}	-	-	40	80	-	40	100	nA
Input Common-Mode Voltage Range	V _{I(R)}	V _{CC} = 30V	0	-	V _{CC} -1.5	0	-	V _{CC} -1.5	V
Supply Current (All Amps)	I _{CC}	V _{CC} = 30V	-	1.5	3	-	1.5	3	mA
		V _{CC} = 5V	-	0.7	1.2	-	0.7	1.2	mA
Large Signal Voltage Gain	G _V	V _{CC} = 15V, R _L ≥ 2 KΩ V _{O(P)} = 1V to 11V	50	100	-	25	100	-	V/mV
Output Voltage Swing	V _{O(H)}	Note 1	26	-	-	26	-	-	V
		R _L = 2 KΩ							
	R _L = 10 KΩ	27	28	-	27	28	-	V	
V _{O(L)}	V _{CC} = 5V, R _L ≥ 10 KΩ	-	5	20	-	5	20	mV	
Common-Mode Rejection Ratio	CMRR	-	70	85	-	65	85	-	dB
Power Supply Rejection Ratio	PSRR	-	65	100	-	65	100	-	dB
Channel Separation	CS	f = 1KHz to 20KHz	-	120	-	-	120	-	dB
Short Circuit to GND	I _{SC}	-	-	40	80	-	40	80	mA
Output Current	I _{SOURCE}	V _{I(+)} = 1V, V _{I(-)} = 0V V _{CC} = 15V	20	40	-	20	40	-	mA
	I _{SINK}	V _{I(+)} = 0V, V _{I(-)} = 1V V _{CC} = 15V, V _{O(P)} = 2V	10	20	-	10	20	-	mA
		V _{I(+)} = 0V, V _{I(-)} = 1V V _{CC} = 15V, V _{O(P)} = 200mV	12	50	-	12	50	-	μA
Differential Input Voltage	V _{I(DIFF)}	-	-	-	V _{CC}	-	-	V _{CC}	V

Note:1 V_{CC}=30V for LM224A, LM324A

LM2902, LM324/LM324A, LM224/LM224A

Electrical Characteristics (Continued)

(VCC = 5.0V, VEE = GND, unless otherwise specified)

The following specifications apply over the range of $-25^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ for the LM224A, and the $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$ for the LM324A

Parameter	Symbol	Conditions	LM224A			LM324A			Unit
			Min.	Typ.	Max.	Min.	Typ.	Max.	
Input Offset Voltage	V _{IO}	V _{CM} = 0V to V _{CC} - 1.5V V _{O(P)} = 1.4V, R _S = 0Ω	-	-	4.0	-	-	5.0	mV
Input Offset Voltage Drift	ΔV _{IO} /ΔT	-	-	7.0	20	-	7.0	30	μV/°C
Input Offset Current	I _{IO}	-	-	-	30	-	-	75	nA
Input Offset Current Drift	ΔI _{IO} /ΔT	-	-	10	200	-	10	300	pA/°C
Input Bias Current	I _{BIAS}	-	-	40	100	-	40	200	nA
Common-Mode Input Voltage Range	V _{I(R)}	V _{CC} = 30V	0	-	V _{CC} - 2.0	0	-	V _{CC} - 2.0	V
Large Signal Voltage Gain	G _V	V _{CC} = 15V, R _L ≥ 2.0KΩ	25	-	-	15	-	-	V/mV
Output Voltage Swing	V _{O(H)}	V _{CC} = 30V R _L = 2KΩ	26	-	-	26	-	-	V
	V _{O(L)}	V _{CC} = 5V, R _L ≥ 10KΩ	-	5	20	-	5	20	mA
Output Current	I _{SOURCE}	V _{I(+)} = 1V, V _{I(-)} = 0V V _{CC} = 15V	10	20	-	10	20	-	mA
	I _{SINK}	V _{I(+)} = 0V, V _{I(-)} = 1V V _{CC} = 15V	5	8	-	5	8	-	mA
Differential Input Voltage	V _{I(DIFF)}	-	-	-	V _{CC}	-	-	V _{CC}	V

Typical Performance Characteristics

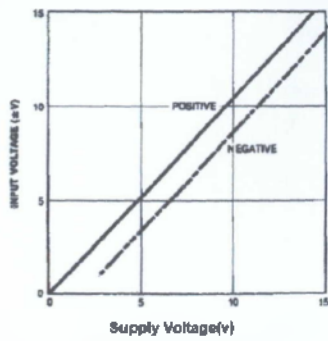


Figure 1. Input Voltage Range vs Supply Voltage

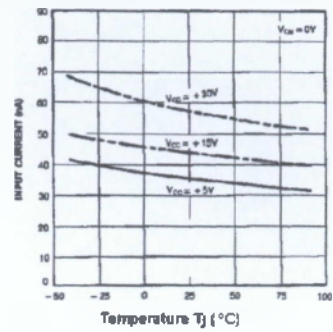


Figure 2. Input Current vs Temperature

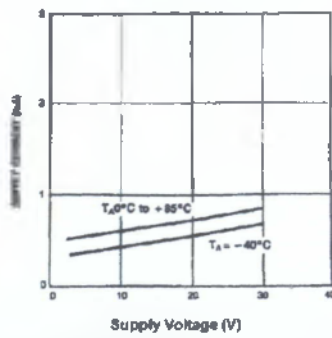


Figure 3. Supply Current vs Supply Voltage

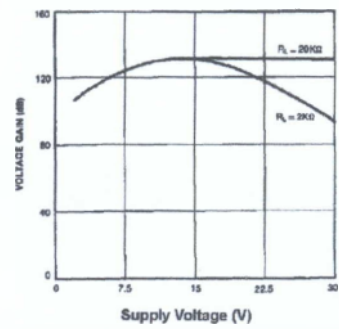


Figure 4. Voltage Gain vs Supply Voltage

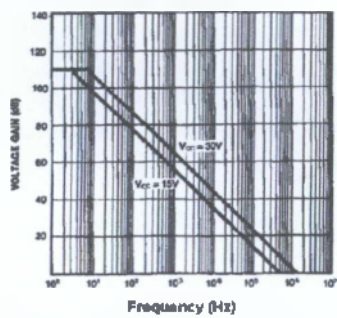


Figure 5. Open Loop Frequency Response

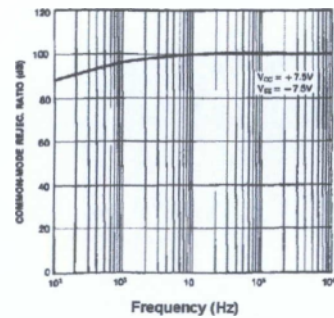


Figure 6. Common mode Rejection Ratio

LM2902, LM324/LM324A, LM224/LM224A

Typical Performance Characteristics (Continued)

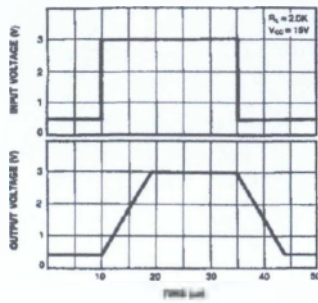


Figure 7. Slew Rate

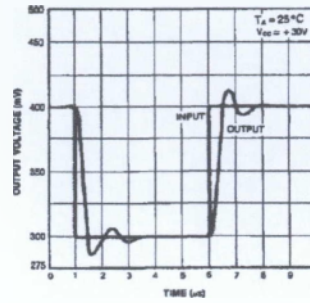


Figure 8. Voltage Follower Pulse Response

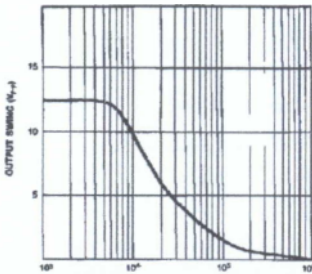


Figure 9. Large Signal Frequency Response

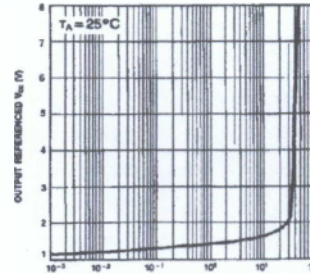


Figure 10. Output Characteristics vs Current Sourcing

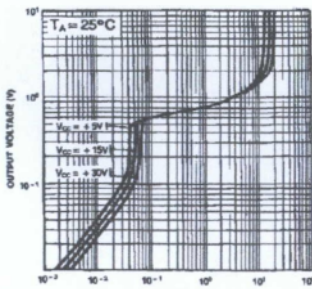


Figure 11. Output Characteristics vs Current Sinking

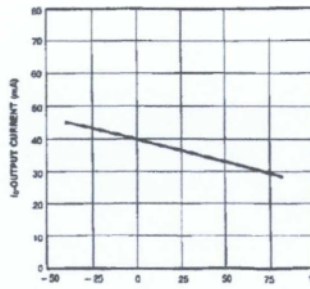


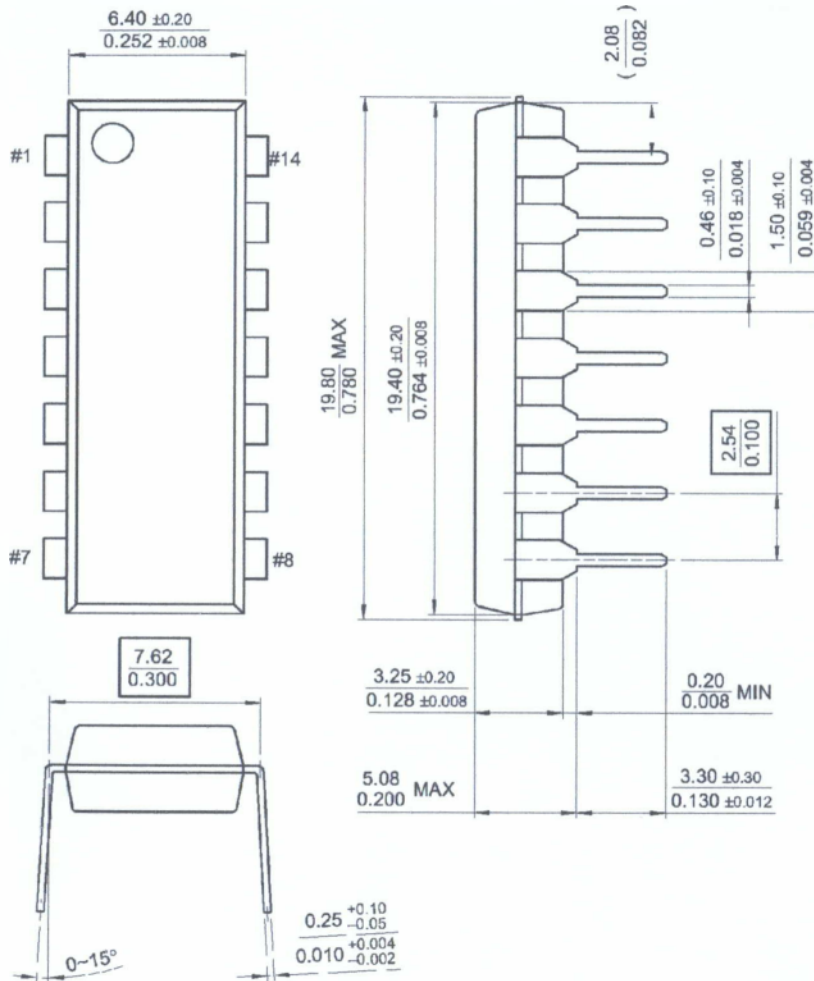
Figure 12. Current Limiting vs Temperature

Mechanical Dimensions

Package

Dimensions in millimeters

14-DIP



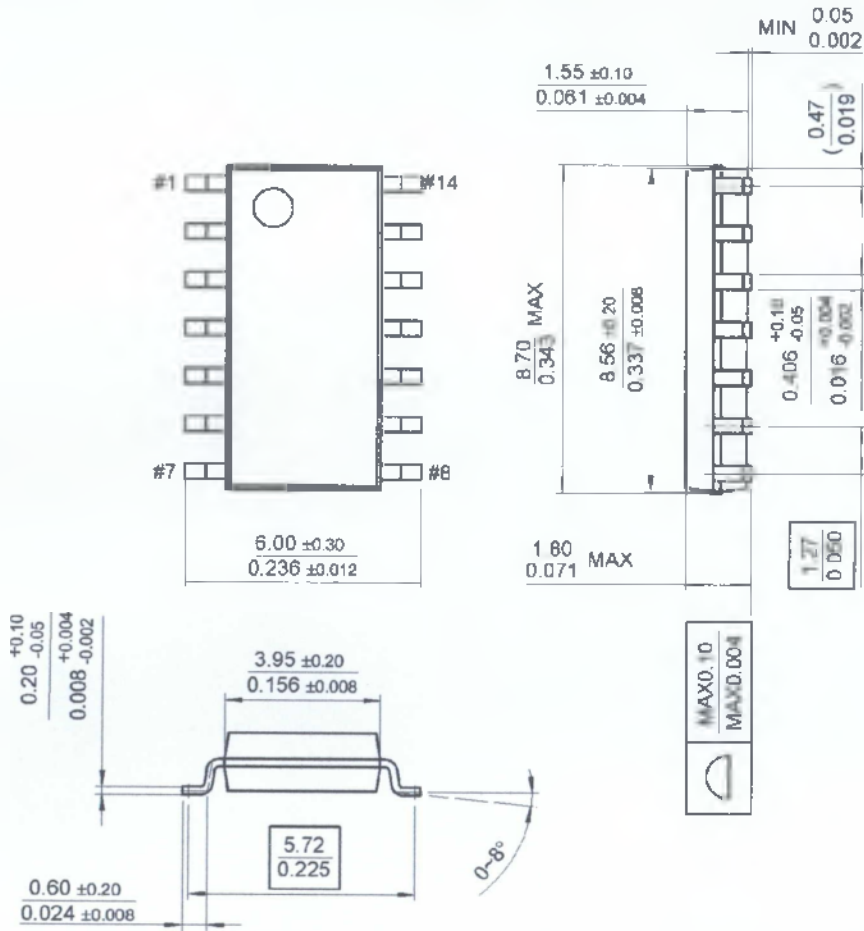
LM2802, LM324/LM324A, LM224/LM224A

Mechanical Dimensions (Continued)

Package

Dimensions in millimeters

14-SOP



Ordering Information

Product Number	Package	Operating Temperature
LM324N	14-DIP	0 ~ +70°C
LM324AN		
LM324M	14-SOP	
LM324AM		
LM2902N	14-DIP	-40 ~ +85°C
LM2902M	14-SOP	
LM224N	14-DIP	-25 ~ +85°C
LM224AN		
LM224M	14-SOP	
LM224AM		

19-4729; Rev. 3; 6/99



Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

DG406/DG407

General Description

Maxim's redesigned DG406 and DG407 CMOS analog multiplexers now feature guaranteed matching between channels (8Ω max) and flatness over the specified signal range (9Ω max). These low on-resistance muxes (100Ω max) conduct equally well in either direction and feature guaranteed low charge injection (15pC max). In addition, these new muxes offer low input off-leakage current over temperature—less than 5nA at +85°C.

The DG406 is a 1 of 16 multiplexor/demultiplexor and the DG407 is a dual 8-channel multiplexer/demultiplexer. Both muxes operate with a +4.5V to +30V single supply and with ±4.5V to ±20V dual supplies. ESD protection is guaranteed to be greater than 2000V per Method 3015.7 of MIL-STD 883. These improved muxes are pin-compatible plug-in upgrades for the industry standard DG406 and DG407.

Applications

- Sample-and-Hold Circuits
- Test Equipment
- Guidance and Control Systems
- Communications Systems
- Data-Acquisition Systems
- Audio Signal Routing

Features

- ♦ Pin-Compatible Plug-In Upgrade for Industry Standard DG406/DG407
- ♦ Guaranteed Matching Between Channels, 8Ω Max
- ♦ Guaranteed On-Resistance Flatness, 9Ω Max
- ♦ Guaranteed Low Charge Injection, 15pC Max
- ♦ Low On-Resistance 100Ω Max
- ♦ Input Leakage, 5nA Max at +85°C
- ♦ Low Power Consumption, 1.25mW Max
- ♦ Rail-to-Rail Signal Handling
- ♦ Digital Input Controls TTL/CMOS Compatible
- ♦ ESD Protection >2000V per Method 3015.7

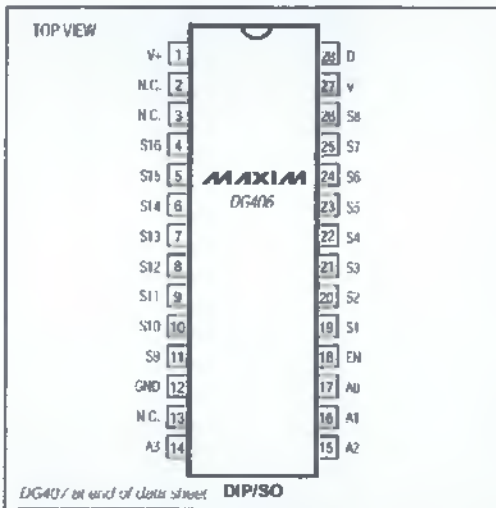
Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
DG406CJ	0°C to +70°C	28 Plastic DIP
DG406CWI	0°C to +70°C	28 Wide SO
DG406C/D	0°C to +70°C	Dice*
DG406DJ	-40°C to +85°C	28 Plastic DIP
DG406DWI	-40°C to +85°C	28 Wide SO
DG406DN	-40°C to +85°C	28 PLCC
DG406AK	-55°C to +125°C	28 CERDIP

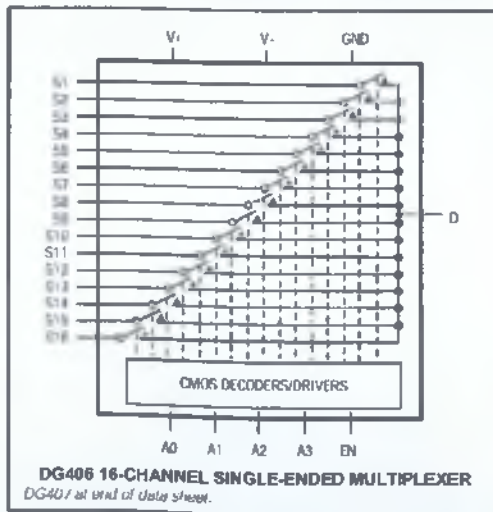
Ordering information continued at end of data sheet.

* Contact factory for dice specifications.

Pin Configurations



Functional Diagrams



Maxim Integrated Products 1

For free samples & the latest literature: <http://www.maxim-ic.com>, or phone 1-800-998-8800.
For small orders, phone 1-800-835-8769.

DG406/DG407

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

ABSOLUTE MAXIMUM RATINGS

Voltage Referenced to V		
V+	0.3V, 44V	Wide SO (derate 12.50mW/°C above +70°C) 1000mW
GND	0.3V, 25V	PLCC (derate 10.53mW/°C above +70°C) 842mW
Digital Inputs, S, D (Note 1)	(V- - 2V) to (V+ + 2V) or 30mA (whichever occurs first)	CCRDIP (derate 16.67mW/°C above +70°C) 1333mW
Continuous Current (any terminal)	30mA	Operating Temperature Ranges
Peak Current: S or D (pulsed at 1ms, 10% duty cycle max)	100mA	DG406/DG407C 0°C to +70°C
Continuous Power Dissipation (TA = +70°C)		DG406/DG407D -40°C to +85°C
Plastic DIP (derate 9.09mW/°C above +70°C)	727mW	DG406/DG407AK 55°C to +125°C
		Storage Temperature Range -65°C to +150°C
		Lead Temperature (soldering, 10sec) +300°C

Note 1: Signals on S, D, A0, A1, A2, A3, or EN exceeding V+ or V- are clamped by internal diodes. Limit forward current to maximum current ratings.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—Dual Supplies

(VI = 15V, V- = 15V, GND = 0V, VAH = +2.4V, VAL = +0.8V, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP (Note 2)	MAX	UNITS	
SWITCH								
Analog Signal Range	VANALOG	(Note 3)		-15		15	V	
Drain-Source On-Resistance	rDS(ON)	IS = 1.0mA, VD = ±10V	TA = +25°C		60	100	Ω	
			IA = IMIN to IMAX			125		
On-Resistance Matching Between Channels	ΔrDS(ON)	IS = -1.0mA, VD = ±10V (Note 4)	TA = +25°C		1.5	8	Ω	
			TA = TMIN to TMAX			10		
On-Resistance Flatness	rFLAT	IS = -1.0mA, VD = +5V or 0V	TA = +25°C		1.8	9	Ω	
			TA = TMIN to TMAX			12		
Source Off Leakage Current (Note 5)	IS(OFF)	VD = ∓10V, VS = ±10V, VFN = 0V	TA = +25°C	-0.5	0.01	0.5	nA	
			TA = TMIN to TMAX					
Drain-Off Leakage Current (Note 5)	ID(OFF)	VD = ±10V, VS = ∓10V, VCN = 0V	DG406	TA = +25°C	-1	0.02	1	nA
				IA = IMIN to TMAX				
				C, D	40	40		
			A	200	200			
		VD = ∓10V, VS = ±10V, VEN = 0V	DG407	TA = +25°C	-1	0.02	1	nA
			TA = TMIN to TMAX					
				C, D	-20	20		
				A	-100	100		
Drain-On Leakage Current (Note 5)	ID(ON) + IS(ON)	VD = ±10V, VS = ±10V, sequence each switch on	DG406	TA = +25°C	-1	0.02	1	nA
				TA = TMIN to TMAX				
				C, D	40	40		
			A	200	200			
			DG407	TA = +25°C	-1	0.02	1	nA
			TA = TMIN to TMAX					
				C, D	-20	20		
				A	-100	100		

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

ELECTRICAL CHARACTERISTICS—Dual Supplies (continued)

($V_+ = 15V$, $V_- = -15V$, GND = 0V, $V_{A11} = +2.4V$, $V_{A12} = +0.8V$, $I_A = I_{MIN}$ to I_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP (Note 2)	MAX	UNITS
INPUT						
Input Current with Input Voltage High	I_{AH}	$V_A = 2.4V$ or $15V$	-1.0	1.0		μA
Input Current with Input Voltage Low	I_{AL}	$V_{EN} = 0V$ or $2.4V$, $V_A = 0V$	-1.0	1.0		μA
SUPPLY						
Power Supply Range			± 4.5	± 20		V
Positive Supply Current	I_{II}	$V_{EN} = V_A = 0V$ or $4.5V$	$T_A = +25^\circ C$	16	30	μA
			$T_A = I_{MIN}$ to I_{MAX}		75	
Negative Supply Current	I_{-}	$V_{FN} = 2.4V$, $V_{A(ALL)} = 0V$ or $2.4V$	$T_A = +25^\circ C$	0.075	0.5	mA
			$T_A = I_{MIN}$ to I_{MAX}		1	
Positive Supply Current	I_{II}	$V_{FN} = 2.4V$, $V_{A(ALL)} = 0V$ or $2.4V$	$T_A = +25^\circ C$	1	1	μA
			$T_A = I_{MIN}$ to I_{MAX}	-10	10	
DYNAMIC						
Transition Time	t_{TRANS}	Figure 2	$T_A = +25^\circ C$	110	300	ns
			$T_A = I_{MIN}$ to I_{MAX}		400	
Break Before Make Interval	t_{OPEN}	Figure 4	$T_A = +25^\circ C$	10	40	ns
Enable Turn-On Time	$t_{ON(EN)}$	Figure 3	$T_A = +25^\circ C$	130	200	ns
			$T_A = I_{MIN}$ to I_{MAX}		400	
Enable Turn-Off Time	$t_{OFF(EN)}$	Figure 3	$T_A = +25^\circ C$	55	150	ns
			$T_A = I_{MIN}$ to I_{MAX}		300	
Charge Injection (Note 3)	Q	$C_L = 1.0nF$, $V_S = 0V$, $R_S = 0\Omega$, Figure 5	$T_A = +25^\circ C$	2	15	pC
Off Isolation (Note 6)	V_{ISO}	$V_{EN} = 0V$, $R_L = 1k\Omega$, $f = 100kHz$, Figure 6	$T_A = +25^\circ C$	-69		dB
Crosstalk Between Channels	V_{CT}	$V_{EN} = 2.4V$, $f = 100kHz$, $V_{GEN} = 1V_{p-p}$, $R_L = 1k\Omega$, Figure 7	$T_A = +25^\circ C$	-92		dB
Logic Input Capacitance	C_{IN}	$f = 1MHz$	$T_A = +25^\circ C$	8		pF
Source-Off Capacitance	$C_{S(OFF)}$	$f = 1MHz$, $V_{EN} = V_S = 0V$, Figure 8	$T_A = +25^\circ C$	8		pF
Drain-Off Capacitance	$C_{D(OFF)}$	$f = 1MHz$, $V_{EN} = 0.8V$, $V_D = 0V$, Figure 8	$T_A = +25^\circ C$	DC406	130	pF
				DC407	65	
Drain-Source On Capacitance	$C_{D(ON)}$ + $C_{S(ON)}$	$f = 1MHz$, $V_{EN} = 2.4V$, $V_D = 0V$, Figure 8	$T_A = +25^\circ C$	DC406	140	pF
				DC407	70	

DG406/DG407

DG406/DG407

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

ELECTRICAL CHARACTERISTICS—Single Supply

($V_+ = 12V$, $V_- = 0V$, $GND = 0V$, $V_{AH} = +2.4V$, $V_{AL} = +0.8V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP (Note 2)	MAX	UNITS
SWITCH						
Analog Signal Range	VANALOG	(Note 3)	0	12		V
Drain-Source On-Resistance	$r_{DS(ON)}$	$I_D = -1.0mA$ $V_D = 3V$ or $10V$		120	175	Ω
DYNAMIC						
Transition Time (Note 3)	t_{TRANS}	$V_{S1} = 8V$, $V_{S16} = 0V$, $V_A = 0V$, Figure 2	$T_A = +25^\circ C$	130	450	ns
Enable Turn-On Time (Note 3)	$t_{ON(EN)}$	$V_{AL} = 0V$, $V_{S1} = 5V$, Figure 3	$T_A = +25^\circ C$	105	600	ns
Enable Turn-Off Time (Note 3)	$t_{OFF(EN)}$	$V_{AH} = 0V$, $V_{S1} = 5V$, Figure 3	$T_A = +25^\circ C$	80	300	ns
Charge Injection (Note 3)	Q	$C_L = 1.0nF$, $V_{S1} = 0V$, $R_S = 0\Omega$	$T_A = +25^\circ C$	2	10	pC

Note 2: The algebraic convention where the most negative value is a minimum and the most positive value a maximum is used in this data sheet.

Note 3: Guaranteed by design.

Note 4: $\Delta R_{ON} = R_{ON(MAX)} - R_{ON(MIN)}$. On-resistance match between channels and flatness are guaranteed only with specified voltages. Flatness is defined as the difference between the maximum and minimum value of on-resistance as measured at the extremes of the specified analog signal range.

Note 5: Leakage parameters are 100% tested at the maximum rated hot temperature and guaranteed by correlation at $+25^\circ C$.

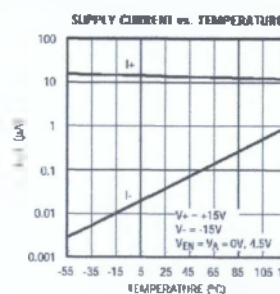
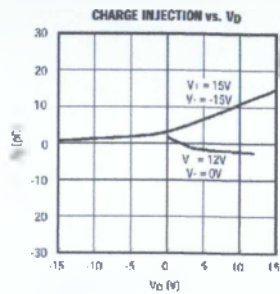
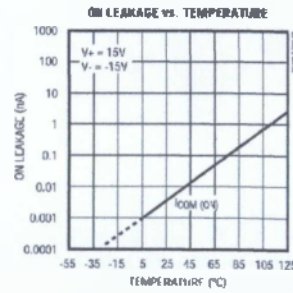
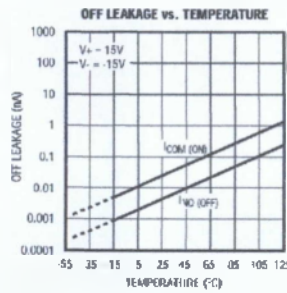
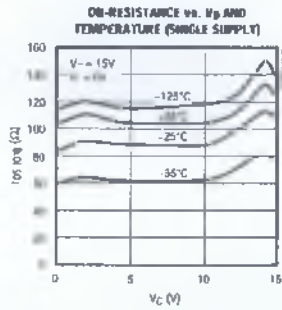
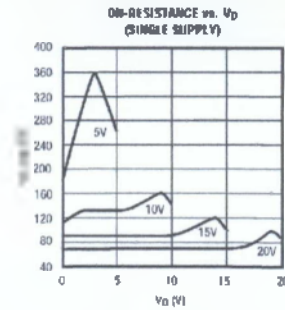
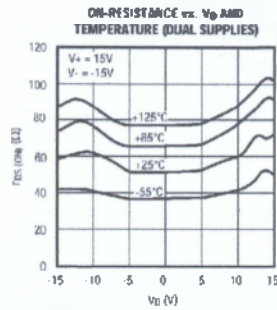
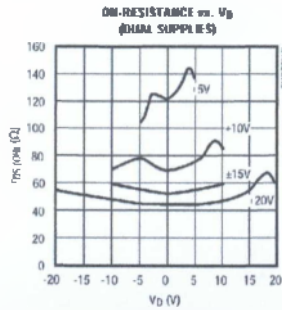
Note 6: Off isolation = $20 \log V_D/V_S$, where V_D = output and V_S = input to off switch.

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

Typical Operating Characteristics

($T_A = +25^\circ\text{C}$, unless otherwise noted)

DG406/DG407



MAXIM

5

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

Pin Descriptions

DG406 PIN	NAME	FUNCTION
1	V _I	Positive Supply Voltage Input
2, 3, 13	N.C.	No Internal Connections
4–11	S16–S9	Bidirectional Analog Inputs
12	GND	Ground
14–17	A3–A0	Address Inputs
18	EN	Enable Inputs
19, 26	S1–S8	Bidirectional Analog Inputs
27	V ₋	Negative Supply Voltage Input
28	D	Bidirectional Output

DG407 PIN	NAME	FUNCTION
1	V _I	Positive Supply Voltage Input
2	DB	Bidirectional Output B
3, 13, 14	N.C.	No Internal Connection
4, 11	S8B–S1B	Bidirectional Analog Inputs
12	GND	Ground
15, 16, 17	A2, A1, A0	Address Inputs
18	EN	Enable Input
19–26	S1A–S8A	Bidirectional Analog Inputs
27	V ₋	Negative Supply Voltage Input
28	DA	Bidirectional Output A

Applications Information

Operation with Supply Voltages Other than $\pm 15\text{V}$

Using supply voltages other than $\pm 15\text{V}$ reduces the analog signal range. The DG406/DG407 switches operate with $\pm 4.5\text{V}$ to $\pm 20\text{V}$ bipolar supplies or with a $+4.5\text{V}$ to $+30\text{V}$ single supply; connect V₋ to GND when operating with a single supply. Also, both device types can operate with unbalanced supplies such as $+24\text{V}$ and -5V . The *Typical Operating Characteristics* graphs show typical on-resistance with 20V, 15V, 10V, and 5V supplies. (Switching times increase by a factor of two or more for operation at 5V.)

Overvoltage Protection

Proper power-supply sequencing is recommended for all CMOS devices. Do not exceed the absolute maximum ratings because stresses beyond the listed ratings may cause permanent damage to the devices. Always sequence V₊ on first, then V₋, followed by the logic inputs and analog signals. If power-supply sequencing is not possible, add two small signal diodes in series with supply pins for overvoltage protection (Figure 1). Adding diodes reduces the analog

signal range to 1V above V₊ and 1V below V₋, but low switch resistance and low leakage characteristics are unaffected. Device operation is unchanged, and the difference between V₊ and V₋ should not exceed $+44\text{V}$.

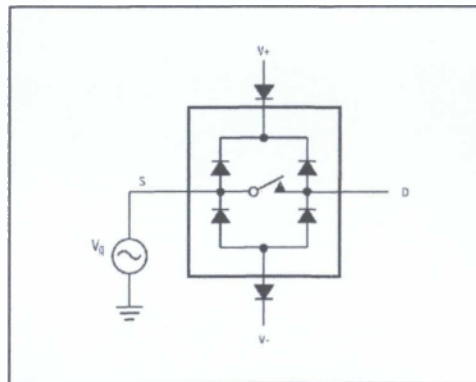


Figure 1. Overvoltage Protection Using External Blocking Diodes

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

Test Circuits/Timing Diagrams

DG406/DG407

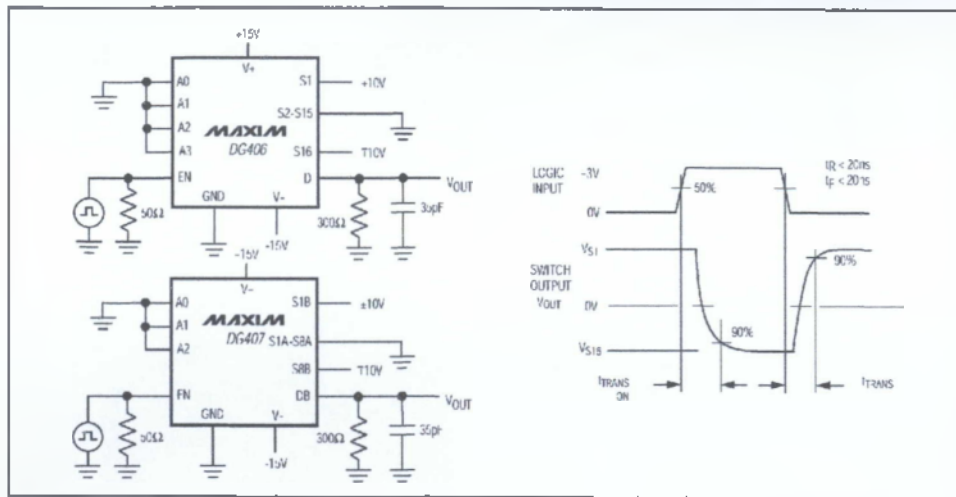


Figure 2 Transition Time

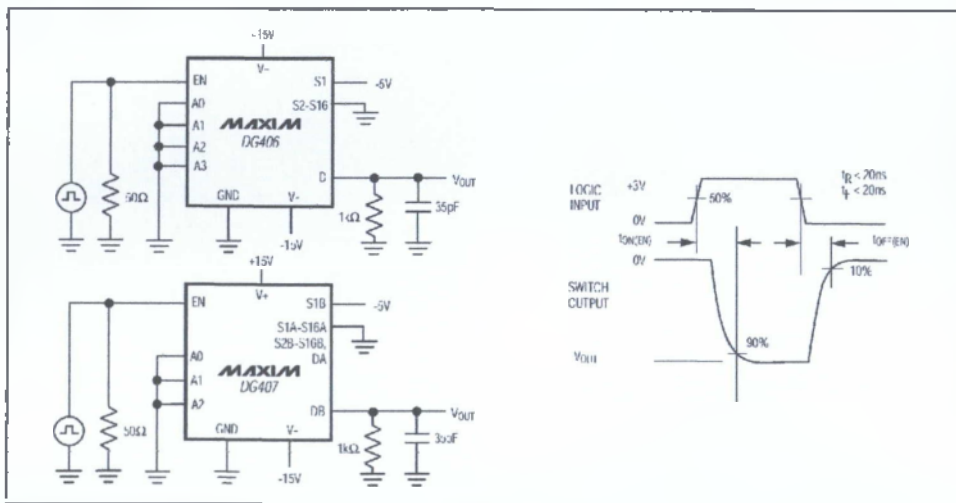


Figure 3 Enable Switching Time

MAXIM

7

DG406/DG407

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

Test Circuits/Timing Diagrams (continued)

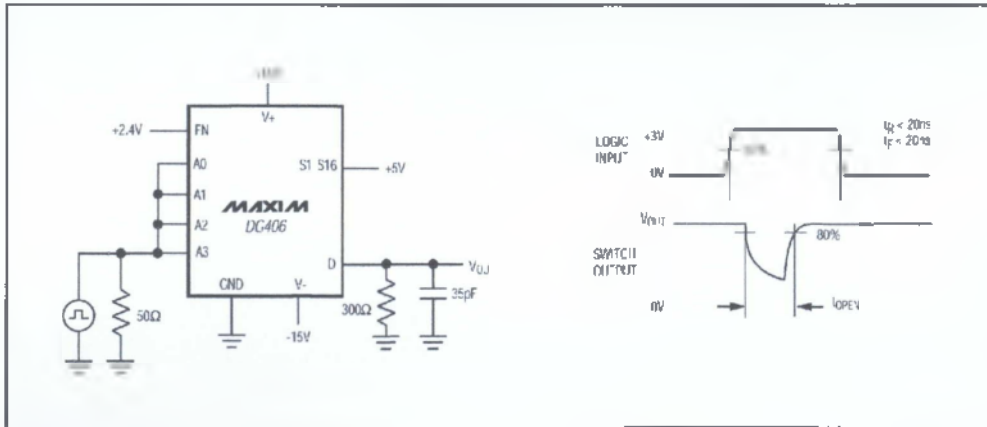


Figure 4 Break-Before-Make Interval

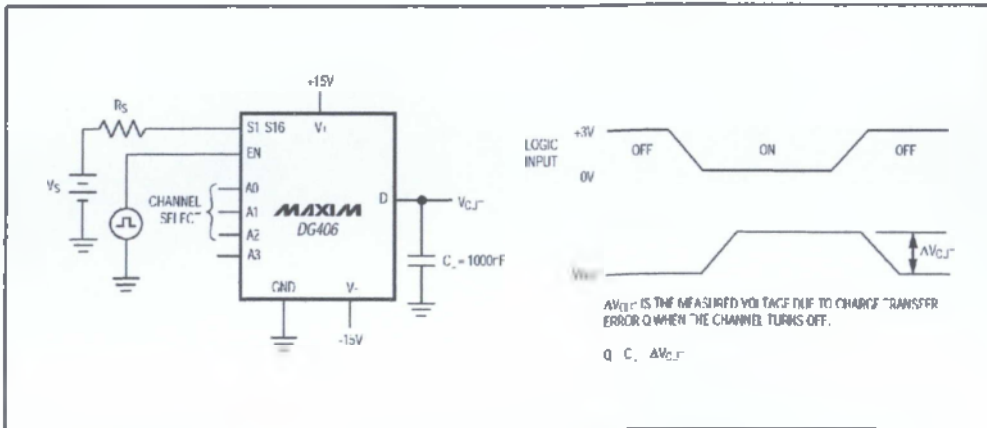


Figure 5 Charge Injection

MAXIM

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

Test Circuits/Timing Diagrams (continued)

DG406/DG407

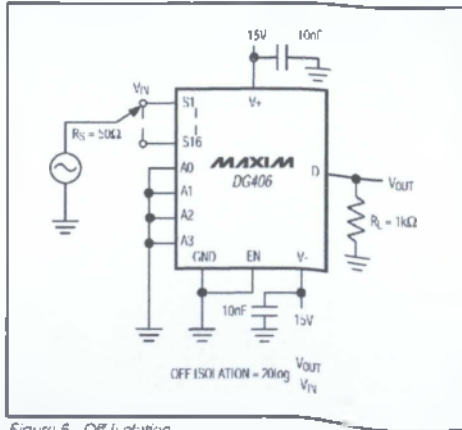


Figure 6. Off Isolation

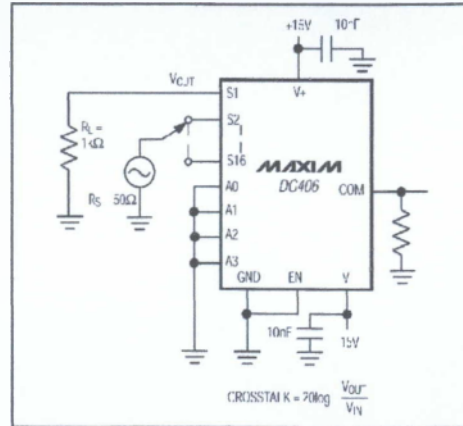


Figure 7. Crosstalk

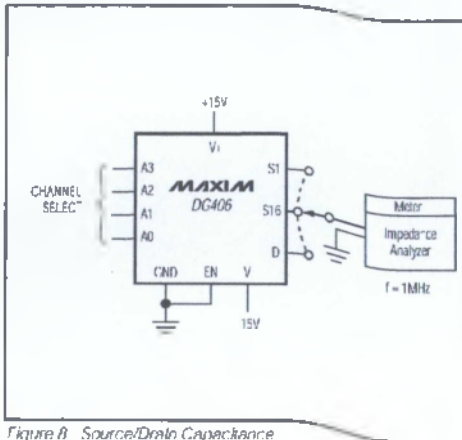


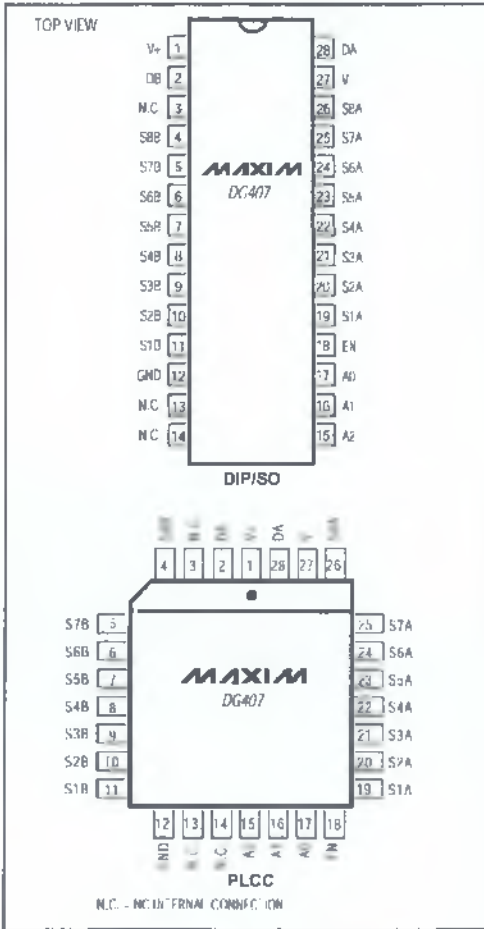
Figure 8. Source/Drain Capacitance

MAXIM

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

DG406/DG407

Pin Configurations/Functional Diagrams/Truth Tables (continued)



A3	A2	A1	A0	EN	ON Switch
X	X	X	X	0	None
0	0	0	0	1	1
0	0	0	1	1	2
0	0	1	0	1	3
0	0	1	1	1	4
0	1	0	0	1	5
0	1	0	1	1	6
0	1	1	0	1	7
0	1	1	1	1	8
1	0	0	0	1	9
1	0	0	1	1	10
1	0	1	0	1	11
1	0	1	1	1	12
1	1	0	0	1	13
1	1	0	1	1	14
1	1	1	0	1	15
1	1	1	1	1	16

DG406

LOGIC "0" V_{AL} = 0.8V, LOGIC "1" = V_{AH} ≥ 2.4V

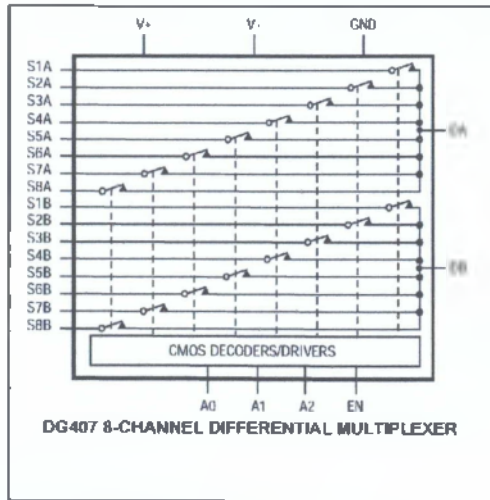
A2	A1	A0	EN	ON Switch
X	X	X	0	None
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8

DG407

LOGIC "0" V_{AL} ≤ 0.8V, LOGIC "1" = V_{AH} ≥ 2.4V

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

Functional Diagrams (continued)



Ordering Information (continued)

PART	TEMP. RANGE	PIN-PACKAGE
DG407CJ	0°C to +70°C	28 Plastic DIP
DG407CWI	0°C to +70°C	28 Wide SO
DG407C/D	0°C to +70°C	Dice*
DG407DJ	40°C to +85°C	28 Plastic Dip
DG407DWI	-40°C to +85°C	28 Wide SO
DG407DN	-40°C to +85°C	28 PtCC
DG407AK	-55°C to +125°C	28 CERDIP

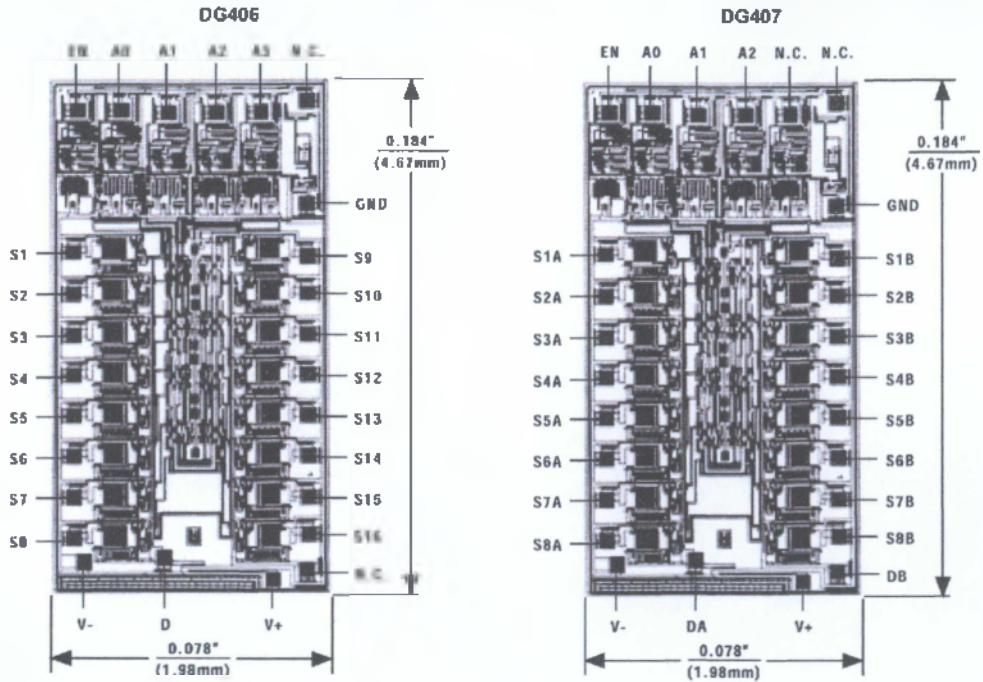
* Contact factory for dice specifications.

DG406/DG407

DG406/DG407

Improved, 16-Channel/Dual 8-Channel, CMOS Analog Multiplexers

Chip Topographies



N.C. = NO INTERNAL CONNECTION

TRANSISTOR COUNT: 269
SUBSTRATE IS INTERNALLY CONNECTED TO V+

TRANSISTOR COUNT: 269
SUBSTRATE IS INTERNALLY CONNECTED TO V+

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94088 408-737-7800

© 1999 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Binary/Decade Up/Down Counter

The MC14029B Binary/Decade up/down counter is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. The counter consists of type D flip-flop stages with a gating structure to provide toggle flip-flop capability. The counter can be used in either Binary or BCD operation. This complementary MOS counter finds primary use in up/down and difference counting and frequency synthesizer applications where low power dissipation and/or high noise immunity is desired. It is also useful in A/D and D/A conversion and for magnitude and sign generation.

- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Internally Synchronous for High Speed
- Logic Edge-Clocked Design — Count Occurs on Positive Going Edge of Clock
- Asynchronous Preset Enable Operation
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin for Pin Replacement for CD4029B

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V _{DD}	DC Supply Voltage	- 0.5 to + 18.0	V
V _{in} , V _{out}	Input or Output Voltage (DC or Transient)	- 0.5 to V _{DD} + 0.5	V
I _{in} , I _{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
P _D	Power Dissipation, per Package†	500	mW
T _{stg}	Storage Temperature	- 85 to + 150	°C
T _L	Lead Temperature (8 Second Soldering)	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur.
† Temperature Derating:

Plastic "P and D/DW" Packages: - 7.0 mW/°C From 85°C To 125°C
Ceramic "L" Packages: - 12 mW/°C From 100°C To 125°C

TRUTH TABLE

Carry In	Up/Down	Preset Enable	Action
1	X	0	No Count
0	1	0	Count Up
0	0	0	Count Down
X	X	1	Preset

X = Don't Care

MC14029B



L SUFFIX
CERAMIC
CASE 620



P SUFFIX
PLASTIC
CASE 648



D SUFFIX
SOIC
CASE 751B

ORDERING INFORMATION

MC14XXXBCP Plastic
MC14XXXBCL Ceramic
MC14XXXBD SOIC

T_A = - 55° to 125°C for all packages

PIN ASSIGNMENT

PE	1	16	V _{DD}
Q3	2	15	CLK
P3	3	14	Q2
P0	4	13	P2
Q4	5	12	P1
Q0	6	11	Q1
Count	7	10	U0
V _{SS}	8	9	B0

REV 3
1/84

© Motorola, Inc. 1995



ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V _{DD} Vdc	-55°C		25°C			125°C		Unit	
			Min	Max	Min	Typ #	Max	Min	Max		
Output Voltage V _{in} = V _{DD} or 0	*0* Level V _{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc	
		10	—	0.05	—	0	0.05	—	0.05		
		15	—	0.05	—	0	0.05	—	0.05		
	1 Level V _{in} = 0 or V _{DD}	V _{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
			10	9.95	—	9.95	10	—	9.95	—	
			15	14.95	—	14.95	15	—	14.95	—	
Input Voltage (V _O = 4.5 or 0.5 Vdc) (V _O = 9.0 or 1.0 Vdc) (V _O = 13.5 or 1.5 Vdc)	*0* Level V _{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc	
		10	—	3.0	—	4.50	3.0	—	3.0		
		15	—	4.0	—	8.75	4.0	—	4.0		
	1 Level (V _O = 0.5 or 4.5 Vdc) (V _O = 1.0 or 9.0 Vdc) (V _O = 1.5 or 13.5 Vdc)	V _{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
			10	7.0	—	7.0	5.50	—	7.0	—	
			15	11	—	11	8.25	—	11	—	
Output Drive Current (V _{OH} = 2.5 Vdc) (V _{OH} = 4.0 Vdc) (V _{OH} = 9.5 Vdc) (V _{OH} = 13.5 Vdc)	Source I _{OH}	5.0	-3.0	—	-2.4	-4.2	—	-1.7	—	mA _{dc}	
		5.0	-0.64	—	-0.51	-0.88	—	-0.36	—		
		10	-1.8	—	-1.3	-2.25	—	-0.9	—		
		15	-4.2	—	-3.4	-8.8	—	-2.4	—		
	Sink I _{OL}	5.0	0.84	—	0.51	0.88	—	0.36	—	mA _{dc}	
		10	1.6	—	1.3	2.25	—	0.9	—		
(V _{OL} = 0.4 Vdc) (V _{OL} = 0.5 Vdc) (V _{OL} = 1.5 Vdc)	I _{OL}	15	4.2	—	3.4	8.8	—	2.4	—		
		Input Current I _{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μA _{dc}
		Input Capacitance (V _{in} = 0) C _{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package) I _{DD}	I _{DD}	5.0	—	5.0	—	0.005	5.0	—	150	μA _{dc}	
		10	—	10	—	0.010	10	—	300		
		15	—	20	—	0.015	20	—	600		
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C _L = 50 pF on all outputs, all buffers switching) I _T	I _T	5.0	I _T = (0.58 μA/kHz) f + I _{DD}							μA _{dc}	
		10	I _T = (1.20 μA/kHz) f + I _{DD}								
		15	I _T = (1.70 μA/kHz) f + I _{DD}								

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

** The formulas given are for the typical characteristics only at 25°C.

† To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50 \text{ pF}) + (C_L - 50) \text{ V/k}$$

where: I_T is in μA (per package), C_L in pF, V = (V_{DD} - V_{SS}) in volts, f in kHz is input frequency, and k = 0.001.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{IN} and V_{OUT} should be constrained to the range V_{SS} < (V_{IN} or V_{OUT}) ≤ V_{DD}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

SWITCHING CHARACTERISTICS* ($C_L = 50$ pF, $T_A = 25^\circ\text{C}$)

Characteristic	Symbol	V_{DD}	All Types			Unit
			Min	Typ #	Max	
Output Rise and Fall Time $t_{TLH}, t_{THL} = (1.5 \text{ ns/pF}) C_L + 25 \text{ ns}$ $t_{TLH}, t_{THL} = (0.75 \text{ ns/pF}) C_L + 12.5 \text{ ns}$ $t_{TLH}, t_{THL} = (0.55 \text{ ns/pF}) C_L + 9.5 \text{ ns}$	$t_{TLH},$ t_{THL}	5.0 10 15	— — —	100 50 40	200 100 60	ns
Propagation Delay Time Clk to Q $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 230 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.66 \text{ ns/pF}) C_L + 97 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 75 \text{ ns}$ Clk to C_{out} $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 230 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.66 \text{ ns/pF}) C_L + 97 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 75 \text{ ns}$ C_{in} to C_{out} $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 95 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.66 \text{ ns/pF}) C_L + 47 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 35 \text{ ns}$ PE to Q $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 230 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.66 \text{ ns/pF}) C_L + 97 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 75 \text{ ns}$ PE to C_{out} $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 465 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.66 \text{ ns/pF}) C_L + 192 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 125 \text{ ns}$	$t_{PLH},$ t_{PHL}	5.0 10 15	— — —	200 100 90	400 200 180	ns
	$t_{PLH},$ t_{PHL}	5.0 10 15	— — —	250 130 85	500 260 190	ns
	$t_{PLH},$ t_{PHL}	5.0 10 15	— — —	175 50 50	360 120 100	ns
	$t_{PLH},$ t_{PHL}	5.0 10 15	— — —	235 100 60	470 200 180	ns
	$t_{PLH},$ t_{PHL}	5.0 10 15	— — —	320 145 105	640 290 210	ns
Clock Pulse Width	$t_W(\text{cl})$	5.0 10 15	180 80 60	90 40 30	— — —	ns
Clock Pulse Frequency	f_{cl}	5.0 10 15	— — —	4.0 8.0 10	2.0 4.0 5.0	MHz
Preset Removal Time The Preset Signal must be low prior to a positive-going transition of the clock.	t_{rem}	5.0 10 15	180 80 60	80 40 30	— — —	ns
Clock Rise and Fall Time	$t_r(\text{cl})$ $t_f(\text{cl})$	5.0 10 15	— — —	— — —	15 5 4	μs
Carry In Setup Time	t_{su}	5.0 10 15	150 60 40	75 30 20	— — —	ns
Up/Down Setup Time		5.0 10 15	340 140 100	170 70 50	— — —	ns
Binary/Decade Setup Time		5.0 10 15	320 140 100	160 70 50	— — —	ns
Preset Enable Pulse Width	t_W	5.0 10 15	130 70 50	65 35 25	— — —	ns

* The formulas given are for the typical characteristics only at 25°C .

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

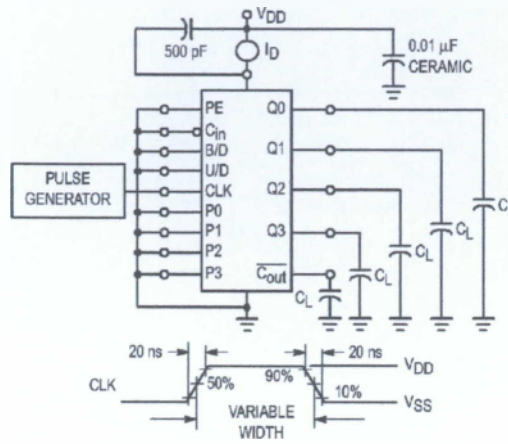


Figure 1. Power Dissipation Test Circuit and Waveform

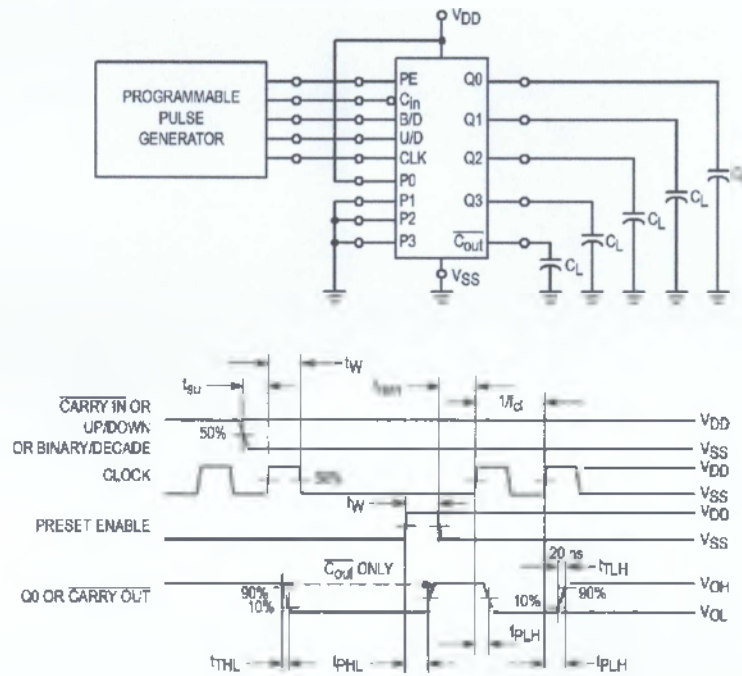
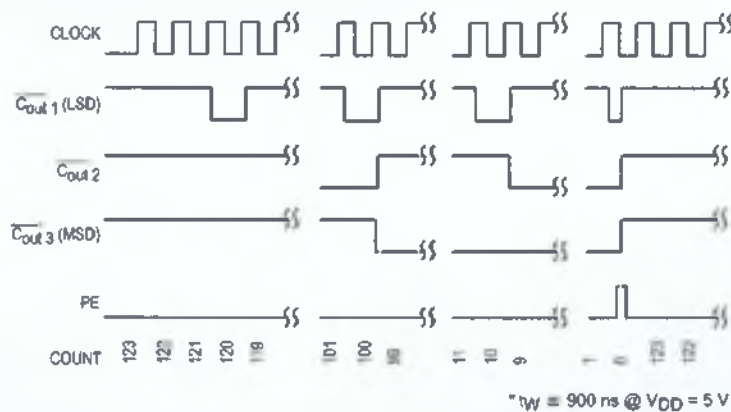
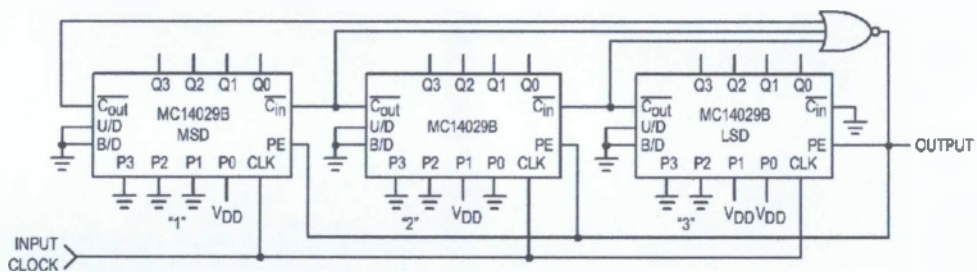
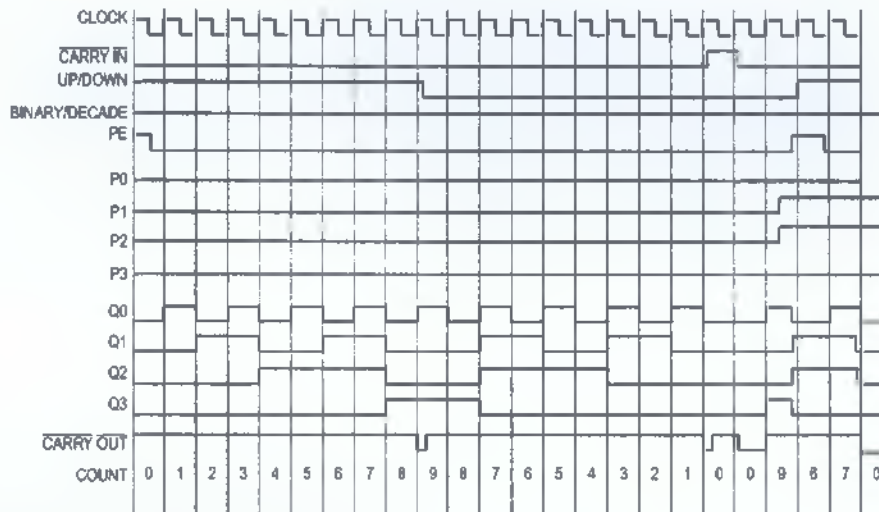


Figure 2. Switching Time Test Circuit and Waveforms

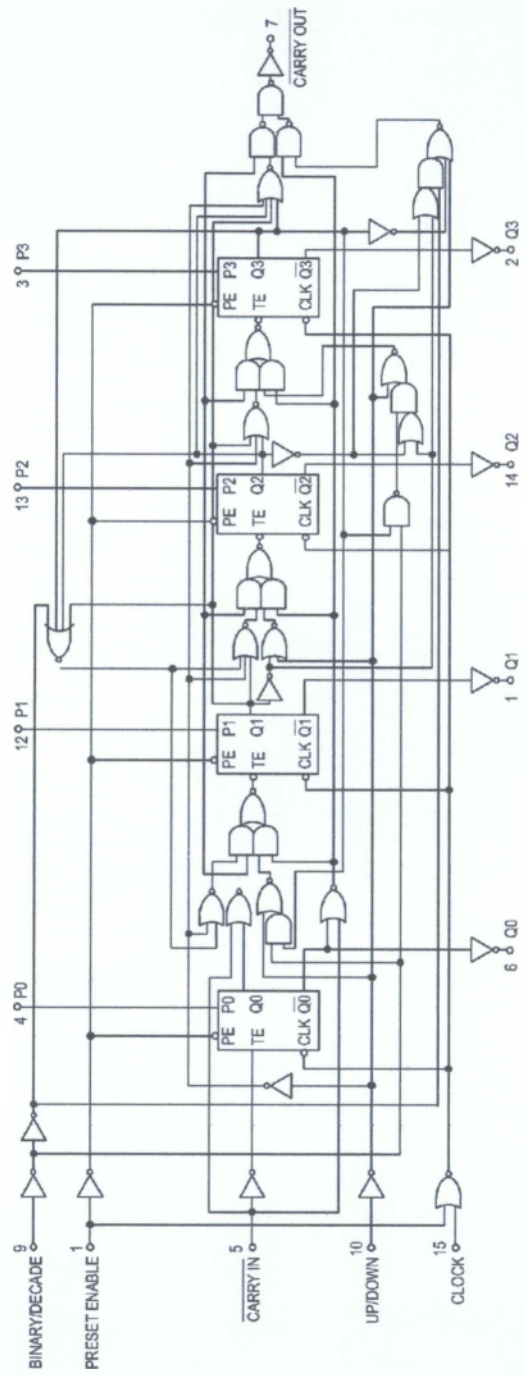
TIMING DIAGRAM



* $t_{W} = 900 \text{ ns} @ V_{DD} = 5 \text{ V}$

Figure 3. Divide by N BCD Down Counter and Timing Diagram (Shown for N = 123)

LOGIC DIAGRAM





www.fairchildsemi.com

LM2903/LM2903I, LM393/LM393A, LM293/LM293A

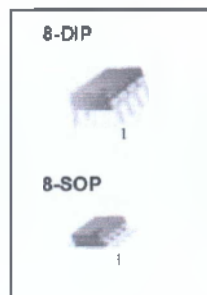
Dual Differential Comparator

Features

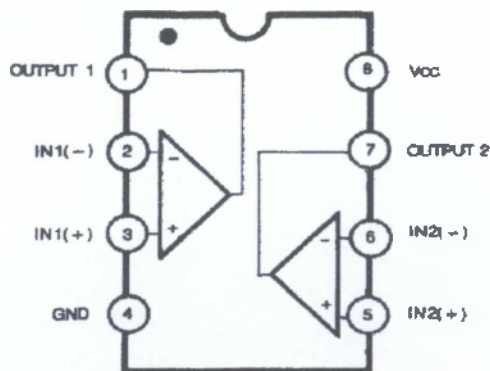
- Single Supply Operation: 2V to 36V
- Dual Supply Operation: $\pm 1V$ to $\pm 18V$
- Allow Comparison of Voltages Near Ground Potential
- Low Current Drain 800 μA Typ.
- Compatible with all Forms of Logic
- Low Input Bias Current 25nA Typ.
- Low Input Offset Current $\pm 5nA$ Typ.
- Low Offset Voltage $\pm 1mV$ Typ.

Description

The LM2903/LM2903I, LM393/LM393A, LM293/LM293A consist of two independent voltage comparators designed to operate from a single power supply over a wide voltage range.

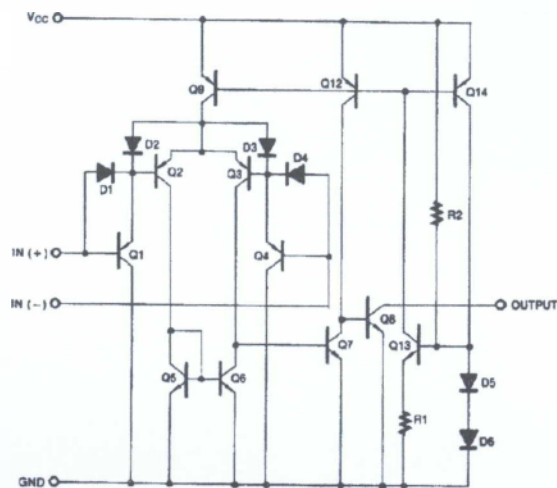


Internal Block Diagram



LM2903/LM2903I, LM393/LM393A, LM293/LM293A

Schematic Diagram



Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power Supply Voltage	VCC	±18 or 36	V
Differential Input Voltage	V _{I(DIFF)}	36	V
Input Voltage	V _I	-0.3 to +36	V
Output Short Circuit to GND	-	Continuous	-
Power Dissipation, T _a = 25°C	PD	1040	mW
8-DIP			
8-SOP	480		
Operating Temperature	TOPR	0 ~ +70	°C
LM393/LM393A		-40 ~ +85	
LM2903		-40 ~ +105	
LM2903I		-25 ~ +85	
Storage Temperature	TSTG	-65 ~ +150	°C

Thermal Data

Parameter	Symbol	Value	Unit
Thermal Resistance Junction-Ambient Max	R _{θja}	120	°C/W
8-DIP			
8-SOP	260		

Electrical Characteristics

(VCC = 5V, TA = 25°C, unless otherwise specified)

Parameter	Symbol	Conditions	LM293A/LM393A			LM293/LM393			Unit
			Min.	Typ.	Max.	Min.	Typ.	Max.	
Input Offset Voltage	VIO	VO(P) = 1.4V, RS = 0Ω	-	±1	±2	-	±1	±5	mV
		VCM = 0 to 1.5V Note 1	-	-	±4.0	-	-	±9.0	
Input Offset Current	IIO		-	±5	±50	-	±5	±50	nA
		Note 1	-	-	±150	-	-	±150	
Input Bias Current	IBIAS		-	65	250	-	65	250	nA
		Note 1	-	-	400	-	-	400	
Input Common Mode Voltage Range	VI(R)		0	-	VCC - 1.5	0	-	VCC - 1.5	V
		Note 1	0	-	VCC - 2	0	-	VCC - 2	
Supply Current	ICC	RL = ∞, VCC = 5V	-	0.6	1	-	0.6	1	mA
		RL = ∞, VCC = 30V	-	0.8	2.5	-	0.8	2.5	
Voltage Gain	GV	VCC = 15V, RL ≥ 15KΩ (for large VO(P-P)swing)	50	200	-	50	200	-	V/mV
Large Signal Response Time	TLRES	VI = TTL Logic Swing VREF = 1.4V, VRL = 5V, RL = 5.1KΩ	-	350	-	-	350	-	nS
Response Time	TRES	VRL = 5V, RL = 5.1KΩ	-	1.4	-	-	1.4	-	μS
Output Sink Current	ISINK	VI(-) ≥ 1V, VI(+)=0V, VO(P) ≤ 1.5V	6	18	-	6	18	-	mA
Output Saturation Voltage	VSAT	VI(-) ≥ 1V, VI(+)=0V	-	160	400	-	160	400	mV
		ISINK = 4mA Note 1	-	-	700	-	-	700	
Output Leakage Current	IO(LKG)	VI(-) = 0V, VI(+)=1V		0.1	-		0.1	-	nA
		VO(P) = 30V	-	-	1.0	-	-	1.0	μA

NOTE 1

LM393/LM393A: 0 ≤ TA ≤ +70°C

LM2903: -40 ≤ TA ≤ +85°C

LM2903I: -40 ≤ TA ≤ +105°C

LM293/LM293A: -25 ≤ TA ≤ +85°C

LM2903/LM2903I, LM393/LM393A, LM293/LM293A

Electrical Characteristics (Continued)(V_{CC} = 5V, T_A = 25°C, unless otherwise specified)

Parameter	Symbol	Conditions	LM2903/LM2903I			Unit
			Min.	Typ.	Max.	
Input Offset Voltage	V _{IO}	V _{O(P)} = 1.4V, R _S = 0Ω	-	±1	±7	mV
		V _{CM} = 0 to 1.5V	Note 1	±9	±15	
Input Offset Current	I _{IO}		-	±5	±50	nA
		Note 1	-	±50	±200	
Input Bias Current	I _{BIAS}		-	65	250	nA
		Note 1	-	-	500	
Input Common Mode Voltage Range	V _{I(R)}		0	-	V _{CC} -1.5	V
		Note 1	0	-	V _{CC} -2	
Supply Current	I _{CC}	R _L = ∞, V _{CC} = 5V	-	0.6	1	mA
		R _L = ∞, V _{CC} = 30V	-	1	2.5	
Voltage Gain	G _V	V _{CC} = 15V, R _L ≥ 15KΩ (for large V _{O(P-P)} swing)	25	100	-	V/mV
Large Signal Response Time	T _{LRES}	V _I = TTL Logic Swing V _{REF} = 1.4V, V _{R(L)} = 5V, R _L = 5.1KΩ	-	350	-	nS
Response Time	T _{RES}	V _{R(L)} = 5V, R _L = 5.1KΩ	-	1.5	-	μS
Output Sink Current	I _{SINK}	V _{I(-)} ≥ 1V, V _{I(+)} = 0V, V _{O(P)} ≤ 1.5V	6	16	-	mA
Output Saturation Voltage	V _{SAT}	V _{I(-)} ≥ 1V, V _{I(+)} = 0V	-	160	400	mV
		I _{SINK} = 4mA	Note 1	-	700	
Output Leakage Current	I _{O(LKG)}	V _{I(-)} = 0V, V _{O(P)} = 5V	-	0.1	-	μA
		V _{I(+)} = 1V, V _{O(P)} = 30V	-	-	1.0	

Note 1LM393/LM393A: 0 ≤ T_A ≤ +70°CLM2903: -40 ≤ T_A ≤ +85°CLM2903I: -40 ≤ T_A ≤ +105°CLM293/LM293A: -25 ≤ T_A ≤ +85°C

Typical Performance Characteristics

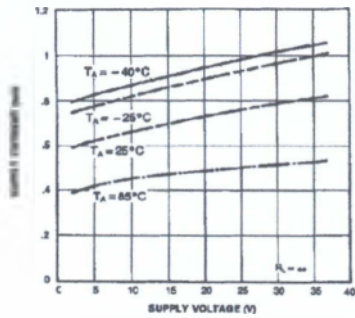


Figure 1. Supply Current vs Supply Voltage

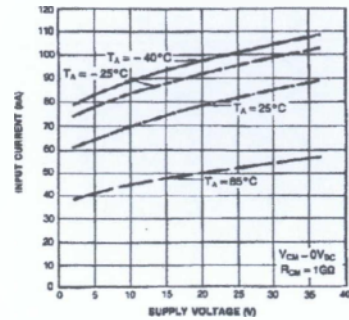


Figure 2. Input Current vs Supply Voltage

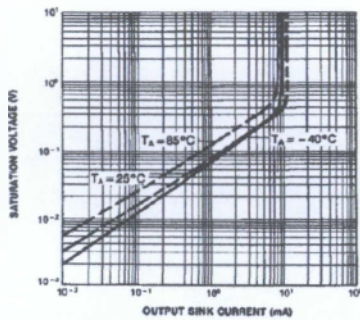


Figure 3. Output Saturation Voltage vs Sink Current

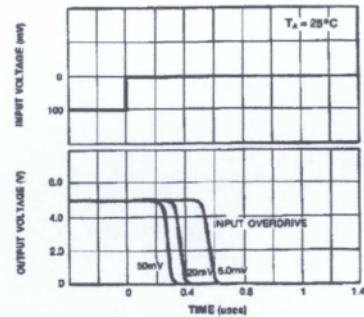


Figure 4. Response Time for Various Input Overdrive-Negative Transition

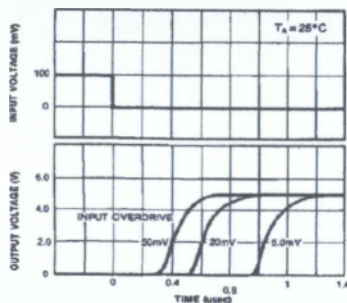


Figure 5. Response Time for Various Input Overdrive-Positive Transition



Data sheet acquired from Harris Semiconductor
SCH5035

CMOS Quad Exclusive-OR Gate

High-Voltage Types (20-Volt Rating)

■ CD4030B types consist of four independent Exclusive-OR gates. The CD4030B provides the system designer with a means for direct implementation of the Exclusive-OR function.

The CD4030B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix)

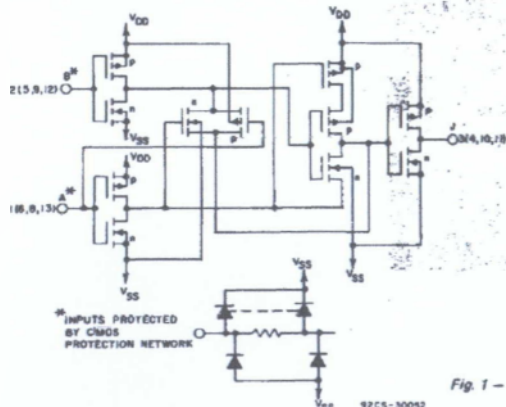
MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V _{DD}) (Voltages referenced to V _{SS} Terminal)	-0.5V to +20V	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5V to V _{DD} +0.5V	
DC INPUT CURRENT, ANY ONE INPUT	±10mA	
POWER DISSIPATION PER PACKAGE (P _D): For T _A = -55°C to +100°C	500mW	
For T _A = +100°C to +125°C	Derates Linearly at 12mW/°C to 200mW	
DEVICE DISSIPATION PER OUTPUT TRANSISTOR FOR T _A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100mW	
OPERATING-TEMPERATURE RANGE (T _A)	-55°C to +125°C	
STORAGE TEMPERATURE RANGE (T _{stg})	-65°C to +150°C	
LEAD TEMPERATURE (DURING SOLDERING): At distance 1/16 ± 1/32 inch (1.58 ± 0.70mm) from case for 10s max	+285°C	

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T _A = Full Package Temperature Range)	3	18	V



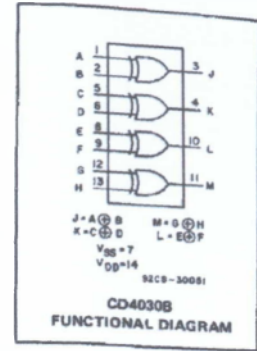
TRUTH TABLE FOR ONE OF FOUR IDENTICAL GATES

A	B	J
0	0	0
1	0	1
0	1	1
1	1	0

1 = HIGH LEVEL
0 = LOW LEVEL

Fig. 1 - Schematic diagram (1 of 4 identical gates).

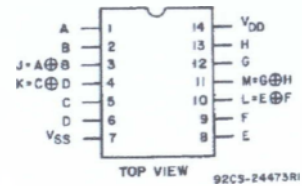
CD4030B Types



Applications:

- Even and odd-parity generators and checkers
- Logical comparators
- Adders/subtractors
- General logic functions

TERMINAL DIAGRAM Top View



CD4030B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)	-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Quiescent Device Current, I _{DD} Max.	-	0.5	5	0.25	0.25	7.5	7.5	-	0.01	0.26	μA
	-	0.10	10	0.5	0.5	15	15	-	0.01	0.6	
	-	0.15	15	1	1	30	30	-	0.01	1	
	-	0.20	20	5	5	150	150	-	0.02	5	
Output Low (Sink) Current, I _{OL} Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	-	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	-	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	8.8	-	
Output High (Source) Current, I _{OH} Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	-	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-	
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.0	-	
Output Voltage: Low Level, V _{OL} Max.	-	0.5	5	0.05				-	0	0.05	V
	-	0.10	10	0.05				-	-	0.05	
	-	0.15	15	0.05				-	0	0.05	
Output Voltage: High Level, V _{OH} Min.	-	0.5	5	4.95				4.95	5	-	V
	-	0.10	10	9.95				9.95	10	-	
	-	0.15	15	14.95				14.95	15	-	
Input Low Voltage, V _{IL} Max.	0.5, 4.5	-	5	1.5				-	-	1.5	V
	1.9	-	10	3				-	-	3	
	1.5, 13.5	-	15	4				-	-	4	
Input High Voltage, V _{IH} Min.	0.5, 4.5	-	5	3.6				3.5	-	-	V
	1.9	-	10	7				7	-	-	
	1.5, 13.5	-	15	11				11	-	-	
Input Current, I _{IN} Max.	-	0.18	18	±0.1	±0.1	±1	±1	-	±10 ⁻⁵	±0.1	μA

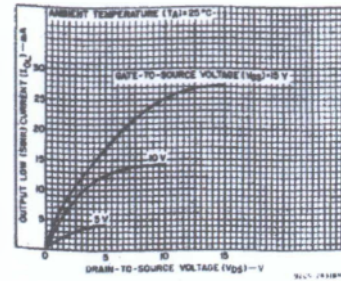


Fig. 2 - Typical output low (sink) current characteristics.

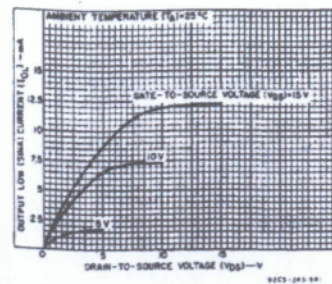


Fig. 3 - Minimum output low (sink) current characteristics.

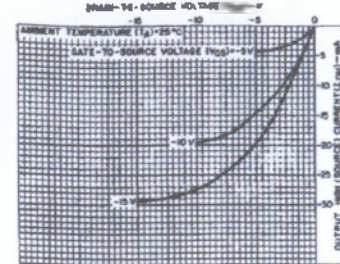


Fig. 4 - Typical output high (source) current characteristics.

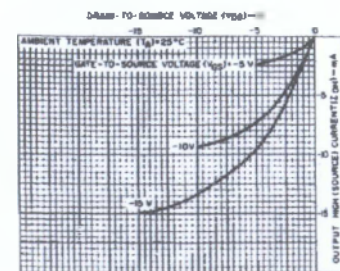


Fig. 5 - Minimum output high (source) current characteristics.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 25°C; Input t_r = 20 ns, C_L = 50 pF, R_L = 200 KΩ

CHARACTERISTIC	CONDITIONS	LIMITS		UNITS
		V _{DD} (V)	Typ. Max.	
Propagation Delay Time, t _{PLH} , t _{PHL}	Any Input	5	140 280	ns
		10	65 130	
		15	50 100	
Transition Time, t _{THL} , t _{TLH}	Any Input	5	100 200	ns
		10	50 100	
		15	40 80	
Input Capacitance, C _{IN}	Any Input	5	7.5	pF

CD4030B Types

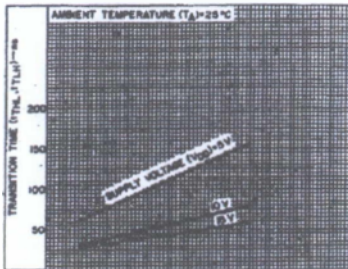


Fig. 6 - Typical transition time as a function of load capacitance.

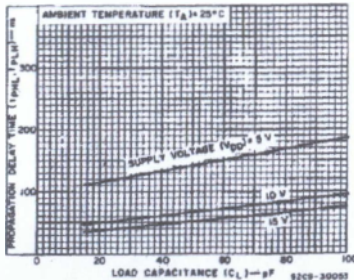


Fig. 7 - Typical propagation delay time as a function of load capacitance.

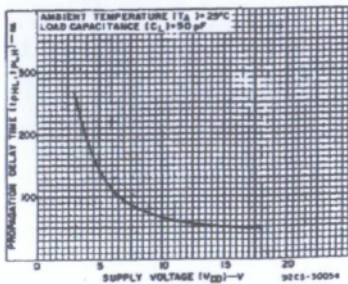


Fig. 8 - Typical propagation delay time as a function of supply voltage.

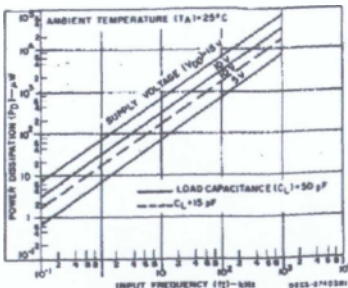


Fig. 9 - Typical dynamic power dissipation as a function of input frequency.

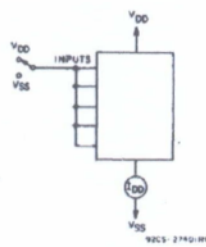


Fig. 10 - Quiescent device current test circuit.

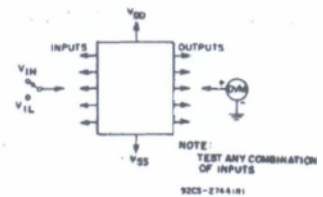


Fig. 11 - Input-voltage test circuit.

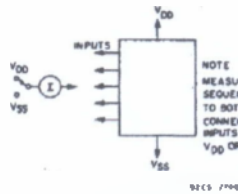


Fig. 12 - Input-current test circuit.

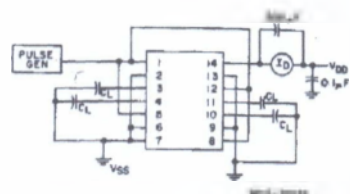
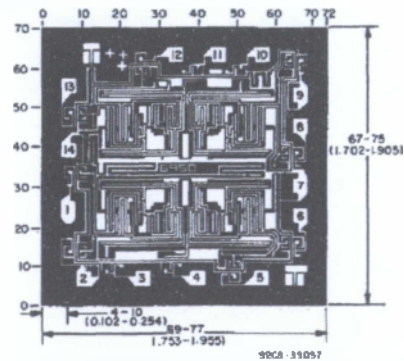


Fig. 13 - Dynamic power dissipation test circuit.



Dimensions and pad layout for CD4030BH.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10⁻³ inch).

HEX inverting buffers

HEF4049B buffers

DESCRIPTION

The HEF4049B provides six inverting buffers with high current output capability suitable for driving TTL or high capacitive loads. Since input voltages in excess of the buffers' supply voltage are permitted, the buffers may also be used to convert logic levels of up to 15 V to standard TTL levels. Their guaranteed fan-out into common bipolar logic elements is shown in the table below.

HEF4049BP(N): 16-lead DIL; plastic (SOT38-1)
 HEF4049BD(F): 16-lead DIL; ceramic (cerdip) (SOT74)
 HEF4049BT(D): 16-lead SO; plastic (SOT109-1)
 () : Package Designator North America

Guaranteed fan-out in common logic families

DRIVEN ELEMENT	GUARANTEED FAN-OUT
standard TTL	2
74 LS	9
74 L	16

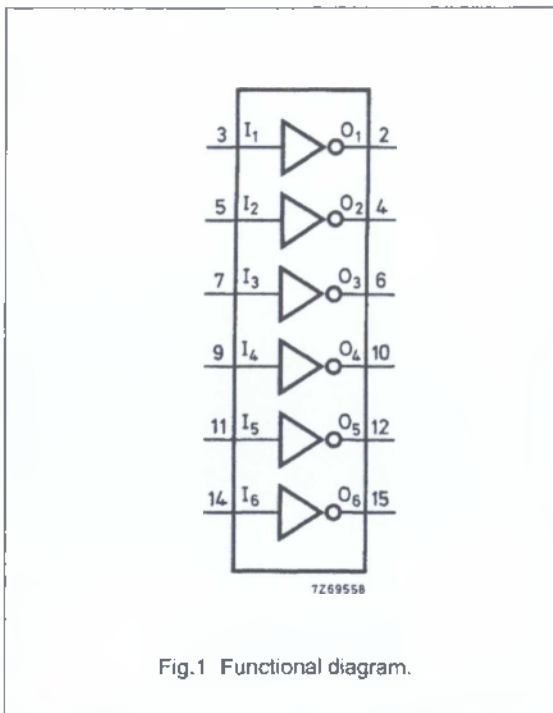


Fig.1 Functional diagram.

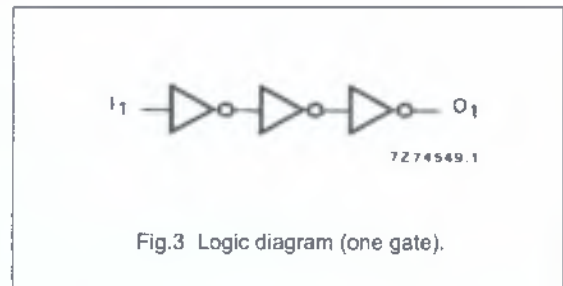


Fig.3 Logic diagram (one gate).

APPLICATION INFORMATION

Some examples of applications for the HEF4049B are:

- LOCMOS to DTL/TTL converter
- HIGH sink current for driving 2 TTL loads
- HIGH-to-LOW level logic conversion

Input protection

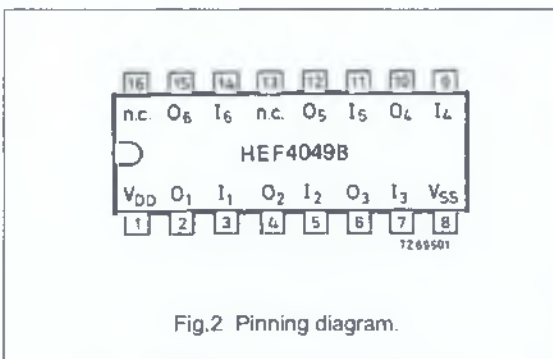


Fig.2 Pinning diagram.

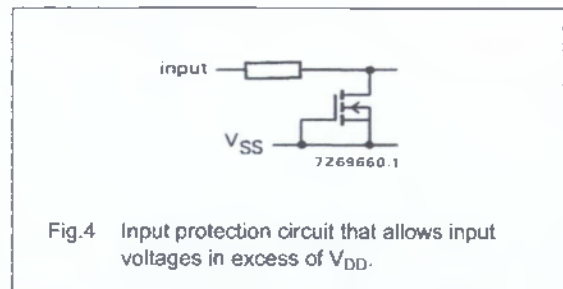


Fig.4 Input protection circuit that allows input voltages in excess of V_{DD} .

FAMILY DATA, I_{DD} LIMITS category BUFFERS

See Family Specifications

HEX inverting buffers

HEF4049B
buffers

DC CHARACTERISTICS

 $V_{SS} = 0\text{ V}$; $V_I = V_{SS}$ or V_{DD}

HEF	V_{DD} V	V_O V	SYMBOL	T_{amb} (°C)						
				-40		+25		+85		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Output (sink) current LOW	4,75	0,4	I_{OL}	3,5	-	2,9	-	2,3	-	mA
	10	0,5		12,0	-	10,0	-	8,0	-	mA
	15	1,5		24,0	-	20,0	-	16,0	-	mA
Output (source) current HIGH	5	4,6	$-I_{OH}$	0,52	-	0,44	-	0,36	-	mA
	10	9,5		1,3	-	1,1	-	0,9	-	mA
	15	13,5		3,6	-	3,0	-	2,4	-	mA
Output (source) current HIGH	5	2,5	$-I_{OH}$	1,7	-	1,4	-	1,1	-	mA

HEC	V_{DD} V	V_O V	SYMBOL	T_{amb} (°C)						
				-55		+25		+125		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Output (sink) current LOW	4,75	0,4	I_{OL}	3,6	-	2,9	-	1,9	-	mA
	10	0,5		12,5	-	10,0	-	6,7	-	mA
	15	1,5		25,0	-	20,0	-	13,0	-	mA
Output (source) current HIGH	5	4,6	$-I_{OH}$	0,52	-	0,44	-	0,36	-	mA
	10	9,5		1,3	-	1,1	-	0,9	-	mA
	15	13,5		3,6	-	3,0	-	2,4	-	mA

	V_{DD} V	SYMBOL	TYP.	MAX.		TYPICAL EXTRAPOLATION	
						FORMULA	
Propagation delays $I_n \rightarrow O_n$ HIGH to LOW	5	t_{PHL}	35	70	ns	26 ns + (0,18 ns/pF) C_L	
	10		15	30	ns	11 ns + (0,08 ns/pF) C_L	
	15		12	25	ns	9 ns + (0,05 ns/pF) C_L	
	LOW to HIGH	5	t_{PLH}	50	100	ns	23 ns + (0,55 ns/pF) C_L
		10		25	50	ns	14 ns + (0,23 ns/pF) C_L
		15		20	40	ns	12 ns + (0,16 ns/pF) C_L
Output transition times HIGH to LOW	5	t_{THL}	20	40	ns	3 ns + (0,35 ns/pF) C_L	
	10		10	20	ns	3 ns + (0,14 ns/pF) C_L	
	15		7	14	ns	2 ns + (0,09 ns/pF) C_L	
	LOW to HIGH	5	t_{TLH}	60	120	ns	10 ns + (1,0 ns/pF) C_L
		10		30	60	ns	9 ns + (0,42 ns/pF) C_L
		15		20	40	ns	6 ns + (0,28 ns/pF) C_L

HEX inverting buffers

HEF4049B
buffers

	V _{DD} V	TYPICAL FORMULA FOR P (μW)	
Dynamic power dissipation per package (P)	5 10 15	2 500 f _i + Σ (f _o C _L) × V _{DD} ² 11 000 f _i + Σ (f _o C _L) × V _{DD} ² 35 000 f _i + Σ (f _o C _L) × V _{DD} ²	where f _i = input freq. (MHz) f _o = output freq. (MHz) C _L = load capacitance (pF) Σ (f _o C _L) = sum of outputs V _{DD} = supply voltage (V)



Data sheet acquired from Harris Semiconductor
SCH5056

CD4071B, CD4072B, CD4075B Types

CMOS OR Gates

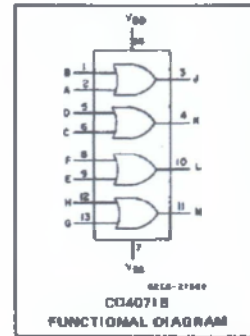
High-Voltage Types (20-Volt Rating)

CD4071B Quad 2-Input OR Gate
CD4072B Dual 4-Input OR Gate
CD4075B Triple 3-Input OR Gate

■ CD4071B, CD4072B, and CD4075B OR gates provide the system designer with direct implementation of the positive-logic OR function and supplement the existing family of CMOS gates. The CD4071, CD4072, and CD4075 types are supplied in 14-lead dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).

Features:

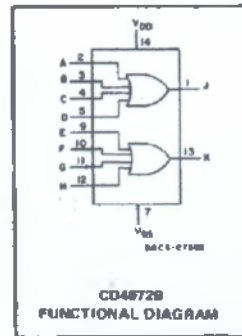
- Medium-Speed Operation— t_{PLH} , $t_{PHL} = 60$ ns (typ.) at $V_{DD} = 10$ V
- 100% tested for quiescent current at 20 V
- Maximum input current of $1 \mu\text{A}$ at 15 V over full package-temperature range; 100 nA at 10 V and 25°C
- Standardized, symmetrical output characteristics
- Noise margin (over full package temperature range)
 - 1 V at $V_{DD} = 5$ V
 - 2 V at $V_{DD} = 10$ V
 - 2.5 V at $V_{DD} = 15$ V
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"



RECOMMENDED OPERATING CONDITIONS

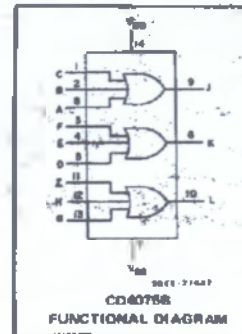
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply Voltage Range (For $T_A =$ Full Package Temperature Range)	3	18	V



STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V_D (V)	V_{IN} (V)	V_{DD} (V)	-25					+25		
				-55	-40	+05	+25	60n.	Typ.	Max.	
Quiescent Device Current, I_{DD} Max.	—	0.5	5	0.25	0.25	7.5	7.5	—	0.01	0.25	μA
	—	0.10	10	0.5	0.5	15	15	—	0.01	0.5	
	—	0.15	15	1	1	30	30	—	0.01	1	
	—	0.20	20	5	5	150	150	—	0.02	5	
Output Low (Sink) Current, I_{OL} Min.	0.4	0.5	5	0.84	0.81	0.42	0.38	0.61	1	—	mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.0	—	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.9	—	
	4.6	0.5	5	-0.84	-0.81	-0.42	-0.38	-0.51	-1	—	
Output High (Source) Current, I_{OH} Min.	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.8	-3.2	—	mA
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
	—	—	—	—	—	—	—	—	—	—	
Output Voltage: Low-Level, V_{OL} Max.	—	0.5	5	0.05			—	0	0.05	V	
	—	0.10	10	0.05			—	0	0.05		
	—	0.15	15	0.05			—	0	0.05		
Output Voltage: High-Level, V_{OH} Min.	—	0.5	5	4.95			4.95	5	—	V	
	—	0.10	10	9.95			9.95	10	—		
	—	0.25	15	14.95			14.95	15	—		
Input Low Voltage, V_{IL} Max.	0.5, 4.5	—	5	1.5			—	—	1.5	V	
	1.9	—	10	3			—	—	3		
	1.5, 13.5	—	15	4			—	—	4		
Input High Voltage, V_{IH} Min.	4.5	—	5	3.5			—	—	—	V	
	9	—	10	7			—	—	—		
	13.5	—	15	11			—	—	—		
Input Current I_{IH} Max.		0.10	10	± 0.1	± 0.1	± 1	± 1	—	$\pm 10^{-5}$	± 0.1	μA



CD4071B, CD4072B, CD4075B Types

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V_{DD})
 Voltages referenced to V_{DD} Terminal) -0.5V to +20V
 INPUT VOLTAGE RANGE, ALL INPUTS -0.5V to $V_{DD} + 0.5V$
 DC INPUT CURRENT, ANY ONE INPUT $\pm 10\text{mA}$
 POWER DISSIPATION PER PACKAGE (P_D):
 For $T_A = -55^\circ\text{C}$ to $+100^\circ\text{C}$ 500mW
 For $T_A = +100^\circ\text{C}$ to $+125^\circ\text{C}$ Derate Linearly at $12\text{mW}/^\circ\text{C}$ to 200mW
 DEVICE DISSIPATION PER OUTPUT TRANSISTOR
 FOR $T_A = \text{FULL PACKAGE-TEMPERATURE RANGE (All Package Types)}$ 100mW
 OPERATING-TEMPERATURE RANGE (T_A) -55°C to $+125^\circ\text{C}$
 STORAGE TEMPERATURE RANGE (T_{STG}) -65°C to $+150^\circ\text{C}$
 LEAD TEMPERATURE (DURING SOLDERING):
 At distance $1/16 \pm 1/32$ inch ($1.58 \pm 0.79\text{mm}$) from case for 10s max $+265^\circ\text{C}$

DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$, Input $t_r = t_f = 20\text{ ns}$, and $C_L = 50\text{ pF}$, $R_L = 200\text{ k}\Omega$

CHARACTERISTIC	TEST CONDITIONS	ALL TYPES LIMITS		UNITS	
		V_{DD} VOLTS	TYP.		MAX.
Propagation Delay Time, t_{PHL} , t_{PLH}		5	125	250	ns
		10	80	120	
		15	45	90	
Transition Time, t_{THL} , t_{TLH}		5	100	200	ns
		10	50	100	
		15	40	80	
Input Capacitance, C_{IN}	Any Input	—	5	7.5	pF

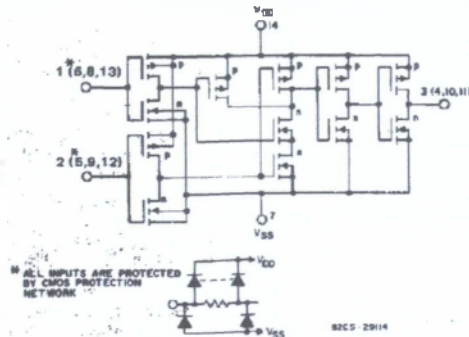


Fig. 3 - Schematic diagram for CD4071B (1 of 4 identical gates)

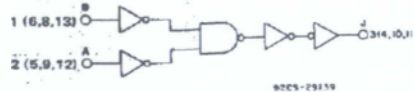


Fig. 5 - Logic diagram for CD4071B (1 of 4 identical gates)

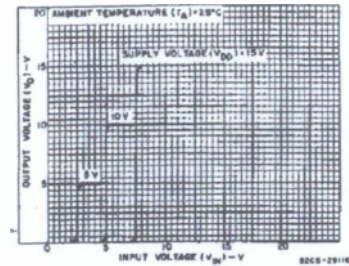


Fig. 1 - Typical voltage transfer characteristics

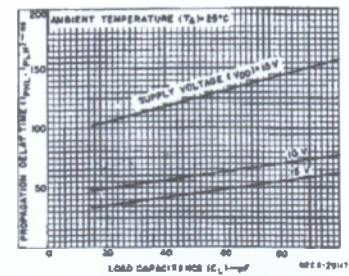


Fig. 2 - Typical propagation delay times as a function of load capacitance

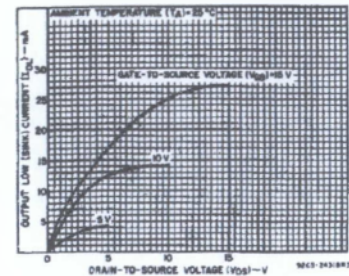


Fig. 4 - Typical output low (sink) current characteristics

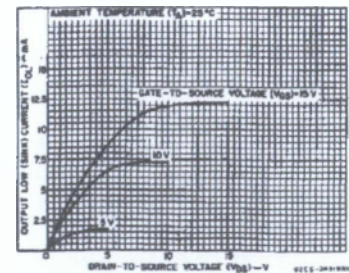
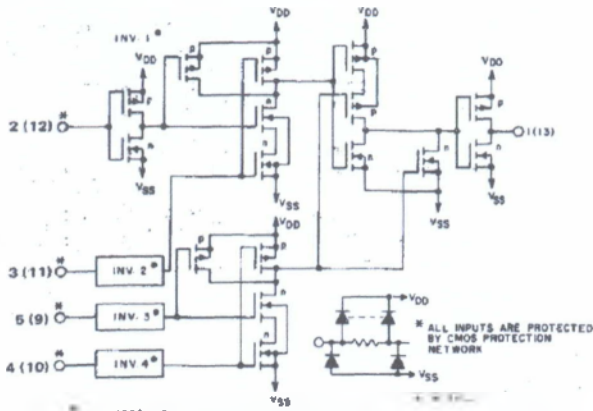


Fig. 6 - Minimum output low (sink) current characteristics

CD4071B, CD4072B, CD4075B Types



INVERTERS 2,3 AND 4 ARE IDENTICAL TO INVERTER 1
 Fig. 7 - Schematic diagram for CD4072B (1 of 2 identical gates).

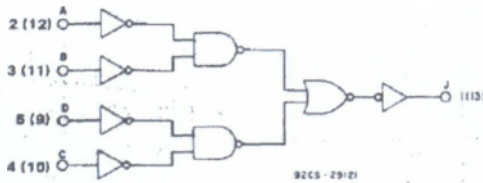


Fig. 9 - Logic diagram for CD4072B (1 of 2 identical gates).

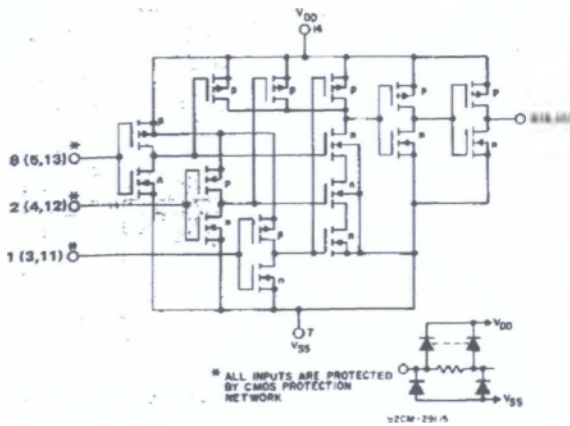


Fig. 11 - Schematic diagram for CD4075B (1 of 3 identical gates).

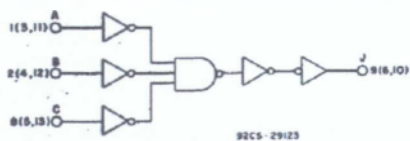


Fig. 13 - Logic diagram for CD4075B (1 of 3 identical gates).

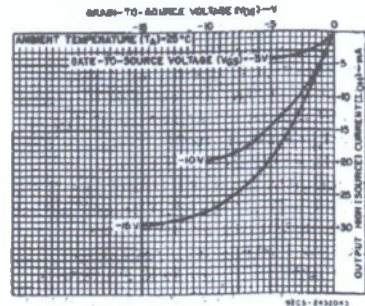


Fig. 8 - Typical output high (source) current characteristics.

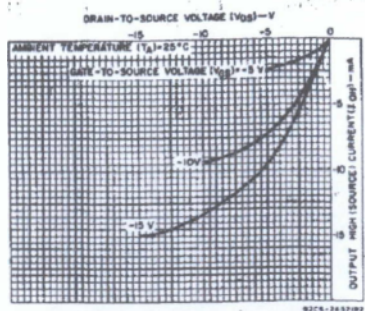


Fig. 10 - Minimum output high (source) current characteristics.

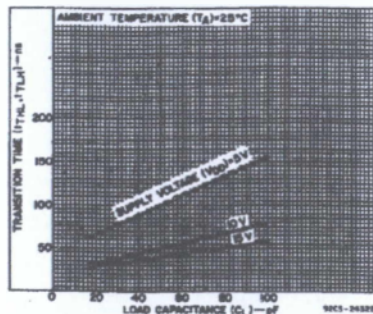


Fig. 12 - Typical transition time as a function of load capacitance.

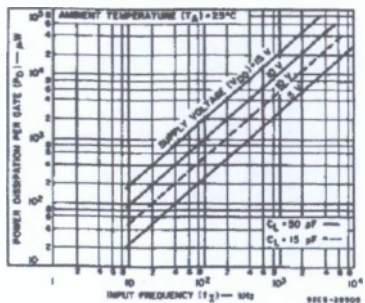


Fig. 14 - Typical dynamic power dissipation as a function of frequency.

CD4071B, CD4072B, CD4075B Types

TERMINAL ASSIGNMENTS (TOP VIEW)

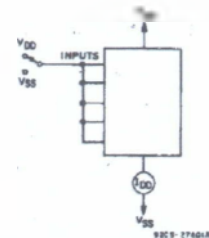
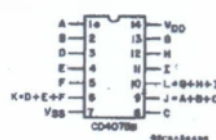
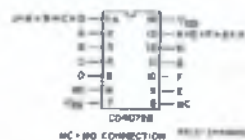


Fig. 15 - Quiescent device current test circuit.

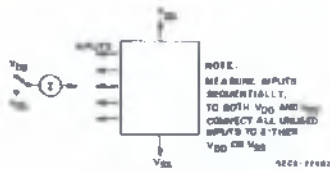


Fig. 16 - Input current test circuit.

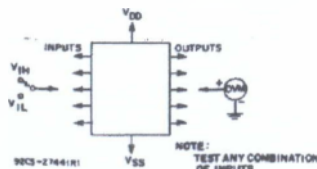
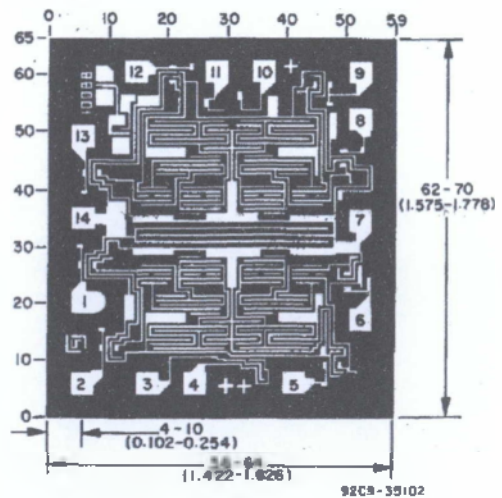
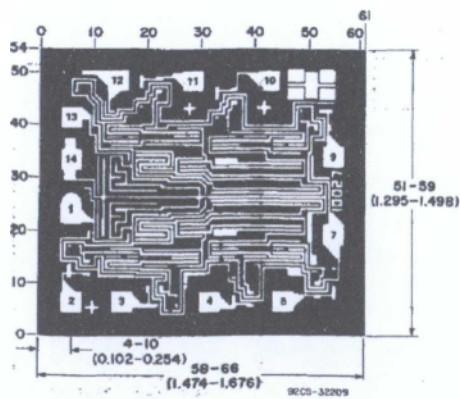


Fig. 17 - Input-voltage test circuit.

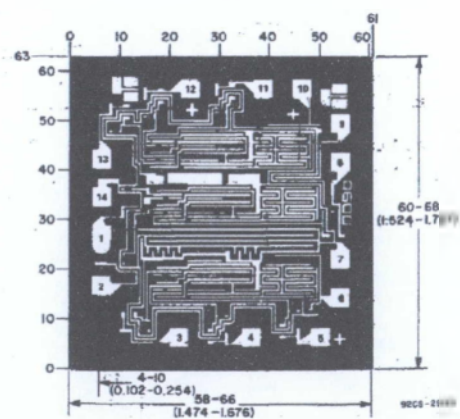
Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10⁻³ inch).



Chip dimensions and pad layout for CD4071B.



Chip dimensions and pad layout for CD4072B.



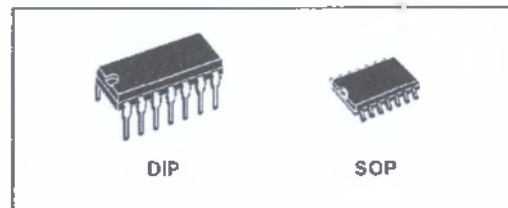
Chip dimensions and pad layout for CD4075B.



HCF4082B

DUAL 4 INPUT AND GATE

- MEDIUM SPEED OPERATION :
 $t_{PD} = 60\text{ns}$ (Typ.) at 10V
- QUIESCENT CURRENT SPECIFIED UP TO 20V
- 5V, 10V AND 15V PARAMETRIC RATINGS
- INPUT LEAKAGE CURRENT
 $I_l = 100\text{nA}$ (MAX) AT $V_{DD} = 18\text{V}$ $T_A = 25^\circ\text{C}$
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC JESD13B "STANDARD SPECIFICATIONS FOR DESCRIPTION OF B SERIES CMOS DEVICES"



ORDER CODES

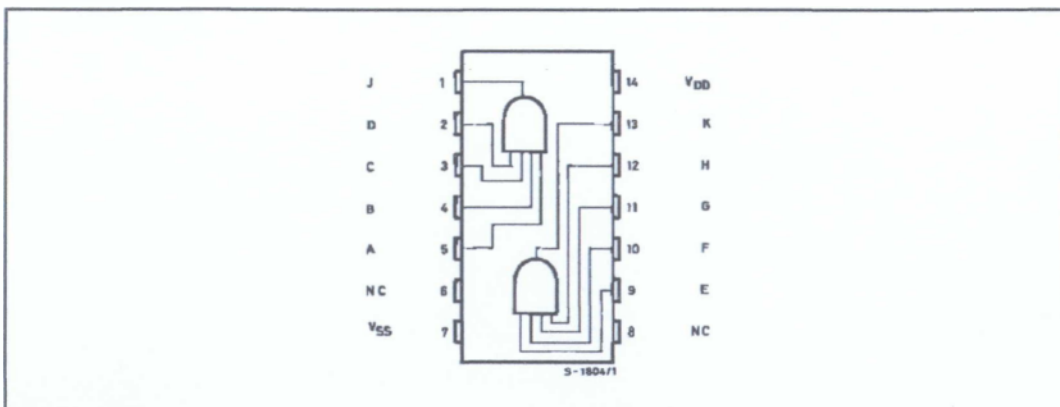
PACKAGE	TUBE	T & R
DIP	HCF4082BEY	
SOP	HCF4082BM1	HCF4082M013TR

DESCRIPTION

The HCF4082B is a monolithic integrated circuit fabricated in Metal Oxide Semiconductor technology available in DIP and SOP packages. The HCF4082B DUAL 4 INPUT AND GATE provides the system designer with direct

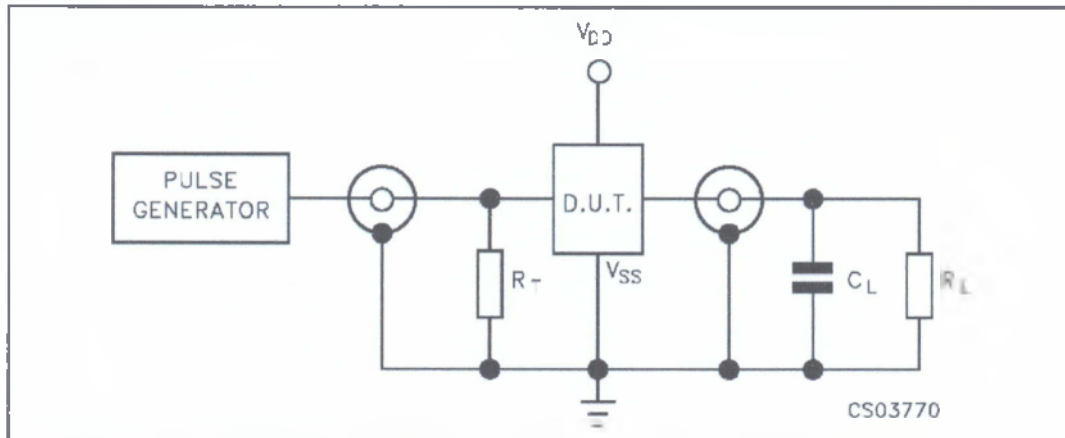
implementation of the AND function and supplement the existing family of CMOS gates.

PIN CONNECTION



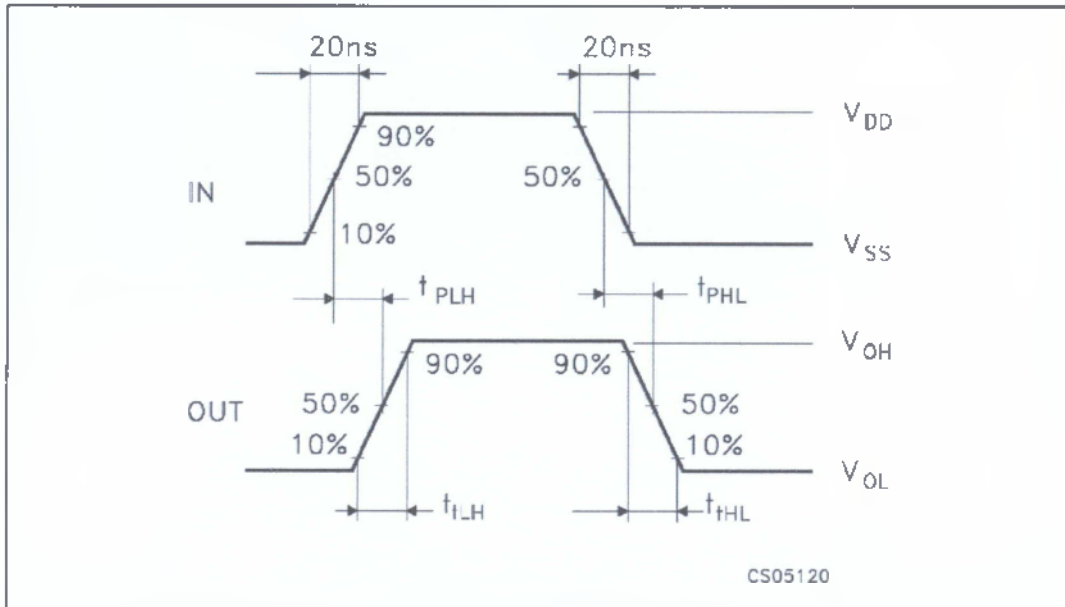
HCF4082B

TEST CIRCUIT



$C_L = 50\text{pF}$ or equivalent (includes jig and probe capacitance)
 $R_L = 200\text{K}\Omega$
 $R_T = Z_{\text{OUT}}$ of pulse generator (typically 50Ω)

WAVEFORM : PROPAGATION DELAY TIMES (f=1MHz; 50% duty cycle)



DC SPECIFICATIONS

Symbol	Parameter	Test Condition				Value						Unit	
		V _I (V)	V _O (V)	I _O (μ A)	V _{DD} (V)	T _A = 25°C			-40 to 85°C		-55 to 125°C		
						Min.	Typ.	Max.	Min.	Max.	Min.		Max.
I _L	Quiescent Current	0/5			5		0.01	0.25		7.5		7.5	μ A
		0/10			10		0.01	0.5		15		15	
		0/15			15		0.01	1		30		30	
		0/20			20		0.02	5		150		150	
V _{OH}	High Level Output Voltage	0/5		<1	5	4.95			4.95		4.95		V
		0/10		<1	10	9.95			9.95		9.95		
		0/15		<1	15	14.95			14.95		14.95		
V _{OL}	Low Level Output Voltage	5/0		<1	5		0.05			0.05		0.05	V
		10/0		<1	10		0.05			0.05		0.05	
		15/0		<1	15		0.05			0.05		0.05	
V _{IH}	High Level Input Voltage		0.5/4.5	<1	5	3.5			3.5		3.5		V
			1/9	<1	10	7			7		7		
			1.5/13.5	<1	15	11			11		11		
V _{IL}	Low Level Input Voltage		4.5/0.5	<1	5			1.5		1.5		1.5	V
			9/1	<1	10			3		3		3	
			13.5/1.5	<1	15			4		4		4	
I _{OH}	Output Drive Current	0/5	2.5	<1	5	-1.36	-3.2		-1.15		-1.1		mA
		0/5	4.6	<1	5	-0.44	-1		-0.36		-0.36		
		0/10	9.5	<1	10	-1.1	-2.6		-0.9		-0.9		
		0/15	13.5	<1	15	-3.0	-6.8		-2.4		-2.4		
I _{OL}	Output Sink Current	0/5	0.4	<1	5	0.44	1		0.36		0.36		mA
		0/10	0.5	<1	10	1.1	2.6		0.9		0.9		
		0/15	1.5	<1	15	3.0	6.8		2.4		2.4		
I _I	Input Leakage Current	0/18	Any Input		18		$\pm 10^{-5}$	± 0.1		± 1		± 1	μ A
C _I	Input Capacitance		Any Input				5	7.5					pF

The Noise Margin for both "1" and "0" level is: 1V min. with V_{DD}=5V, 2V min. with V_{DD}=10V, 2.5V min. with V_{DD}=15V

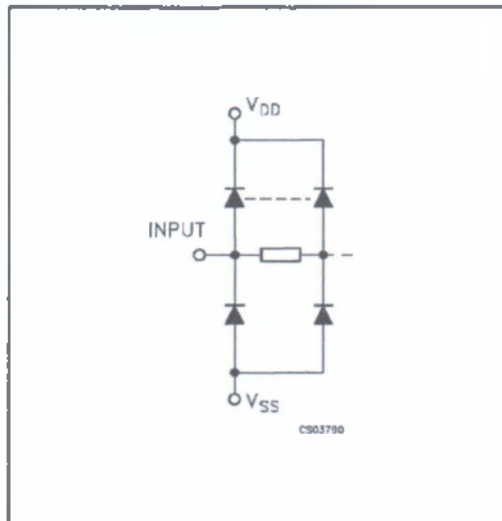
DYNAMIC ELECTRICAL CHARACTERISTICS (T_{amb} = 25°C, C_L = 50pF, R_L = 200K Ω , t_r = t_f = 20 ns)

Symbol	Parameter	Test Condition		Value (*)			Unit
		V _{DD} (V)		Min.	Typ.	Max.	
t _{PLH} t _{PHL}	Propagation Delay Time	5			125	250	ns
		10			60	125	
		15			45	90	
t _{TLH} t _{THL}	Output Transition Time	5			100	200	ns
		10			60	100	
		15			40	80	

(*) Typical temperature coefficient for all V_{DD} value is 0.3 %/°C.

HCF4082B

INPUT EQUIVALENT CIRCUIT



PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
5, 4, 3, 2	A, B, C, D	Data Inputs
9, 10, 11, 12	E, F, G, H	Data Inputs
1, 13	J, K	Data Outputs
6, 8	NC	Not Connected
7	V _{SS}	Negative Supply Voltage
14	V _{DD}	Positive Supply Voltage

TRUTH TABLE

INPUTS				OUTPUTS
D, E	C, F	B, G	A, H	J, K
L	X	X	X	L
X	L	X	X	L
X	X	L	X	L
X	X	X	L	L
H	H	H	H	H

X : Don't Care

ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V _{DD}	Supply Voltage	-0.5 to +22	V
V _I	DC Input Voltage	-0.5 to V _{DD} + 0.5	V
I _I	DC Input Current	± 10	mA
P _D	Power Dissipation per Package	200	mW
	Power Dissipation per Output Transistor	100	mW
T _{op}	Operating Temperature	-55 to +125	°C
T _{stg}	Storage Temperature	-65 to +150	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these conditions is not implied. All voltage values are referred to V_{SS} pin voltage.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit
V _{DD}	Supply Voltage	3 to 20	V
V _I	Input Voltage	0 to V _{DD}	V
T _{op}	Operating Temperature	-55 to 125	°C

ΟΡΟΛΟΓΙΑ

Buffer (Απομονωτής) : στοιχείο ενός ηλεκτρονικού κυκλώματος το οποίο χρησιμοποιείται για την απομόνωση δύο διαδοχικών βαθμιδών. Συνήθως επιτελεί προσαρμογή αντιστάσεων των βαθμιδών μεταξύ των οποίων παρεμβάλλεται.

DM - Delta Modulation - Διαμόρφωση Δέλτα : Τεχνική μετατροπής αναλογικού σήματος σε ψηφιακό. Σε αντίθεση με άλλες τεχνικές κωδικοποιεί τη διαφορά δύο διαδοχικών δειγμάτων του σήματος, αντί των ίδιων των δειγμάτων

Nyquist (Κριτήριο) : Κανόνας που υποδεικνύει την ελάχιστη επιτρεπτή συχνότητα δειγματοληψίας ενός αναλογικού σήματος προκειμένου αυτό να μετατραπεί σε ψηφιακό.

Offset: η ανεπιθύμητη απόκλιση ενός ηλεκτρικού μεγέθους (τάσης ή ρεύματος) από την αναμενόμενη τιμή του. Οφείλεται συνήθως σε κατασκευαστικούς περιορισμούς και ατέλειες ενός κυκλώματος και αντιμετωπίζεται με ειδικές τεχνικές αντιστάθμισης.

PCB (Printed Circuit Board - Πλακέτα Τυπωμένου Κυκλώματος) : Πλακέτα η οποία αποτελεί τη βάση κατασκευής ενός ηλεκτρονικού κυκλώματος, στην οποία γίνεται επικόλληση των ηλεκτρονικών εξαρτημάτων. Η υλοποίηση των καλωδιώσεων γίνεται με ταινίες χαλκού οι οποίες χαράσσονται στην πλακέτα με ειδικές τεχνικές έκθεσης και χημικής επεξεργασίας.

PCM - Pulse Code Modulation - Παλμοκωδική Διαμόρφωση : Τεχνική μετατροπής αναλογικού σήματος σε ψηφιακό και αντίστροφα.

TDM - Time Division Multiplexing - Πολυπλεξία Διάρθρωσης Χρόνου : Τεχνική ταυτόχρονης μετάδοσης περισσότερων του ενός ψηφιακών σημάτων μέσα από το ίδιο φυσικό μέσο. Η πολυπλεξία επιτυγχάνεται με την διαδοχική παρεμβολή δειγμάτων των ψηφιακών σημάτων που πολυπλέκονται.

Απαριθμητής (Counter) : Ψηφιακό ακολουθιακό κύκλωμα στις εξόδους του οποίου εμφανίζονται (σε κάθε παλμό ρολογιού) διαδοχικοί αριθμοί συγκεκριμένου συστήματος αρίθμησης (π.χ. δυαδικού).

Αποδιαμορφωτής (Demodulator) : Σύστημα που υλοποιεί την αντίστροφη της διαδικασίας διαμόρφωσης.

Δειγματοληψία (Sampling) : Η διαδικασία πολλαπλασιασμού ενός συνεχούς σήματος με μια περιοδική παλμοσειρά.

Διαμορφωτής (Modulator) : Σύστημα που υλοποιεί την μετατροπή ενός σήματος σε μια άλλη μορφή, χωρίς να επιφέρει αλλοίωση στην πληροφορία που αυτό εμπεριέχει.

Διεπαφή (Interface) : Το σημείο μέσω του οποίου «επικοινωνούν» δύο συστήματα.

Εξασθένηση (Attenuation) : Η απώλεια ισχύος ενός σήματος.

Θόρυβος (Noise) : Κάθε ανεπιθύμητη τυχαία προσθήκη στο σήμα.

Κβάντιση (Quantization) : Η μετατροπή ενός σήματος διακριτού στο χρόνο αλλά συνεχούς κατά πλάτος σε διακριτού κατά χρόνο και πλάτος.

Παραμόρφωση (Distortion) : Κάθε αλλοίωση της μορφής ενός σήματος που συνεπάγεται την αλλοίωση της πληροφορίας που αυτό εμπεριέχει.

Πλακέτα Πρωτοτύπου (Prototype Board ή Protoboard ή Breadboard) : Πλακέτα που χρησιμοποιείται στο στάδιο του αρχικού ελέγχου ενός ηλεκτρονικού κυκλώματος ή συστήματος και επιτρέπει την εύκολη πραγματοποίηση τροποποιήσεων της τοπολογίας που υλοποιείται.

Σφάλμα Υπερφόρτωσης Κλίσης (Slope Overload Error) : Η βασικότερη αδυναμία της Διαμόρφωσης Δέλτα η οποία εμφανίζεται όταν οι μεταβολές του σήματος προς διαμόρφωση είναι τόσο ταχείες ώστε η κλιμακωτή τάση Δέλτα να αδυνατεί να τις παρακολουθήσει.

Τελεστικός Ενισχυτής (Operational Amplifier - OpAmp) : Ηλεκτρονικό κύκλωμα (συνήθως σε ολοκληρωμένη μορφή) το οποίο λειτουργεί ως διαφορικός ενισχυτής και παρέχει πληθώρα εφαρμογών μεταξύ των οποίων η δυνατότητα μαθηματικών λειτουργιών (άθροιση, αφαίρεση, ολοκλήρωση, κ.λπ.) γεγονός στο οποίο οφείλει και την ονομασία του.

Φίλτρο (Filter) : Ηλεκτρονικό κύκλωμα το οποίο επιτρέπει την αποκοπή τμήματος του φασματικού περιεχομένου ενός σήματος.

ΠΗΓΕΣ

1. www.sfrang.com/historia/selida19.htm (Ιστορική αναδρομή)
2. [ww2.cs.ucy.ac.cy / ~nicolust /courses](http://ww2.cs.ucy.ac.cy/~nicolust/courses)
3. www.zanteplace.com/aom/documents (Παλμοκωδική Διαμόρφωση - PCM)
4. [ru6.cti.gr/bouras/ ergasies](http://ru6.cti.gr/bouras/ergasies) (Εισαγωγή)
5. mt.uon.gr/public_files/File (Προβλήματα της Διαμόρφωσης Δέλτα)
6. www.wikipedia.org

ΒΙΒΛΙΟΓΡΑΦΙΑ

1. K. Sam Shanmugam : Ψηφιακά & Αναλογικά Συστήματα Επικοινωνίας
2. William Stallings : Επικοινωνίες Υπολογιστών & Δεδομένων (Έκτη έκδοση)
3. P. Horowitz, W. Hill: The Art of Electronics, Cambridge University Press, Second Edition, 1989
4. Analog - Digital Conversion Handbook (Analog Devices Technical Handbooks), Prentice-Hall, 1997
5. M. Mano, Ψηφιακή Σχεδίαση, Παπασωτηρίου, 1992
6. A.P. Malvino, Ηλεκτρονική, Εκδ. Τζιόλα, 2001
7. A.P. Malvino, D.P. Leach, Ψηφιακά Ηλεκτρονικά, Εκδ. Τζιόλα, 1996
8. Κ. Καρούμπαλου, Γ. Φιλοκύπρου: Μαθήματα Ηλεκτρονικής, Εκδ. Πανεπ. Αθηνών
9. Γιάννης Λιαπέρδος: Εργαστηριακές Ασκήσεις Αναλογικών Ηλεκτρονικών, Σπάρτη 2008 (Εργαστηριακό Εγχειρίδιο)
10. Γιάννης Λιαπέρδος: Εργαστηριακές Ασκήσεις Ψηφιακών Ηλεκτρονικών, Σπάρτη 2008 (Εργαστηριακό Εγχειρίδιο)

ΕΥΡΕΤΗΡΙΟ

- buffer, 27
- DM, 16, 18
- Nyquist, 16, 26
- offset, 29, 32, 37
- PCB, 50, 117
- PCM, 15, 16, 18, 119
- Resist, 52, 53
- TDM, 16
- απαριθμητής, 29, 32, 35
- αποδιαμορφωτής, 18
- αποχάλκωση, 54
- δειγματοληψία, 16
- Δέλτα, 15, 16, 18, 19, 119
- διαμορφωτής, 18
- διεπαφές, 26, 27
- διηλεκτρικό, 52
- εξασθένηση, 12, 13
- εξομάλυνση, 37
- θόρυβος, 11, 12, 15
- κβάντιση, 16, 17
- λογικές πύλες, 32
- Μορς, 11
- παραμόρφωση, 12
- πολυπλέκτης, 29, 31
- προδιαγραφές, 5, 29, 35, 42
- προσομοίωση, 37
- πρωτότυπο, 41, 45
- συχνότητα αποκοπής, 33, 34, 35, 46, 47
- σφάλμα υπερφόρτωσης κλίσης, 19
- τελεστικός ενισχυτής, 29
- φίλτρο, 14, 18, 32
- χαμηλοπερατό φίλτρο, 27

ΠΙΝΑΚΑΣ ΣΧΗΜΑΤΩΝ – ΕΙΚΟΝΩΝ

Σχήμα 1.1.2.1: Αρχή Αναλογικής Μετάδοσης.....	12
Σχήμα 1.1.2.2: Αναλογικό Σήμα (Αυθεντικό και Ενθόρυβο).....	12
Σχήμα 1.1.2.3: Αλλοιωμένο Αναλογικό Σήμα (Ενθόρυβο και Εξασθενημένο).....	13
Σχήμα 1.1.2.4: Αναλογικό Σήμα στην Έξοδο του Δέκτη (Αλλοιωμένο).....	13
Σχήμα 1.1.3.1: Ψηφιακή Παλμοσειρά Διακριτών Καταστάσεων.....	13
Σχήμα 1.2.1.1: Δειγματοληψία Αναλογικού Σήματος.....	15
Σχήμα 1.2.1.2: Κβάντιση Δειγμάτων Αναλογικού Σήματος.....	16
Σχήμα 1.2.1.3: Κωδικοποίηση Σταθμών Κβάντισης.....	16
Σχήμα 1.2.2.1 Αρχή Διαμορφωτή / Αποδιαμορφωτή Δέλτα.....	17
Σχήμα 1.2.2.2 Διαμόρφωση Δέλτα Ημιτονικού Σήματος.....	17
Σχήμα 1.2.3.1 Σφάλμα Υπερφόρτωσης Κλίσης.....	18
Σχήμα 2.1.1 Μεθοδολογία Σχεδίασης Κυκλώματος.....	23
Σχήμα 2.2.1.1 Διάγραμμα Βαθμίδων Διαμορφωτή Δέλτα.....	24
Σχήμα 2.2.2.1 Διεπαφές Διαμορφωτή Δέλτα.....	25
Σχήμα 2.2.3.1 Διάγραμμα Βαθμίδων Αποδιαμορφωτή Δέλτα.....	26
Σχήμα 2.2.4.1 Διεπαφές Αποδιαμορφωτή Δέλτα.....	27
Σχήμα 2.3.2.1 Κύκλωμα Διαμορφωτή Δέλτα.....	29
Σχήμα 2.3.2.2 Δομή Πολλαπλού Διαιρέτη Τάσης (Voltage_Divider).....	29
Σχήμα 2.3.3.1 Κύκλωμα Αποδιαμορφωτή Δέλτα.....	30
Σχήμα 2.3.3.1.1 Τοπολογία μη Αναστρέφοντα Απομονωτή.....	31
Σχήμα 2.3.3.2.1 Τοπολογία Απλού Φίλτρου RC πρώτης τάξης.....	32
Σχήμα 2.3.3.2.2 Τυπική Καμπύλη Απόκρισης Απλού Φίλτρου RC Πρώτης Τάξης.....	32
Σχήμα 2.3.3.3.1 Τροποποίηση της Λειτουργίας του Απαριθμητή 4029.....	34
Σχήμα 2.4.1 Σχηματικό Διάγραμμα Προσομοίωσης.....	37
Σχήμα 2.4.2 Σήμα Εισόδου και Τάση Δέλτα Διαμορφωτή (Προσομοίωση Κανονικής Λειτουργίας).....	38
Σχήμα 2.4.3 Σήμα Εξόδου και Τάση Δέλτα Αποδιαμορφωτή (Προσομοίωση Κανονικής Λειτουργίας).....	38
Σχήμα 2.4.4 Σήμα Εισόδου και Τάση Δέλτα Διαμορφωτή (Προσομοίωση Μη Επιτρεπτής Λειτουργίας).....	39
Σχήμα 2.4.5 Σήμα Εισόδου και Τάση Δέλτα Διαμορφωτή (Προσομοίωση Μη Επιτρεπτής Λειτουργίας).....	39